

钟控准静态能量回收逻辑电路*

戴宏宇 周润德

(清华大学微电子学研究所, 北京 100084)

摘要: 钟控准静态能量回收逻辑 (clocked quasi-static energy recovery logic, CQSERL) 只在输入信号导致输出状态发生变化的情况下才对电路节点充电 (或者回收), 不需要在每个功率时钟周期循环充电和回收操作; CQSERL 是单端输入输出逻辑, 减小了电路实现代价. 设计了 4 位 QSERL 串行进位加法器 (RCA) 电路, 和相应的 CMOS 电路进行了功耗比较. 功率时钟为 10MHz 时, CQSERL 电路功耗是对应 CMOS 电路的 35%. 流片实现了一个简单结构的正弦功率时钟产生电路, 功率时钟的频率和相位与外接系统时钟相同.

关键词: 准静态; 能量回收; 低功耗; 绝热计算; CMOS 电路

EEACC: 1265A; 2560; 2570D

中图分类号: TN432

文献标识码: A

文章编号: 0253-4177(2003)04-0421-06

1 引言

目前在集成电路低功耗设计方法中, 能量回收电路在低速应用场合显示了极低功耗的性能, 受到了越来越多的重视, 已有文献报道了多种不同结构的能量回收电路^[1-3]. 这些电路共同特点是采用交叉耦合的存储器结构, 利用差分信号完成电荷回收, 在每个功率时钟周期都要对电路节点充电和回收, 需要多相位的功率时钟. 因此这些能量回收电路和静态 CMOS 电路相比, 逻辑电路需要大约 2 倍的硬件, 静态工作功耗大. 文献[4]提出了准静态工作的能量回收电路(QSERL), 但是 QSERL 电路正常工作需要低阈值电压(小于 0.2V)的二极管, 如果要增大电路驱动能力, 还需要两级 C²MOS 反相器反馈控制^[4].

本文中提出的钟控准静态能量回收逻辑 (CQSERL) 电路需要两相正弦功率时钟和方波时钟信号工作, 具有静态 CMOS 电路的特点, 对电路节点的充电和回收仅仅发生在输入使输出状态改变的情况下, 大大降低了节点的无效翻转, 减小了电路的

静态功耗; 同时 CQSERL 电路只使用常规 CMOS 器件, 其控制电路具有结构简单和低功耗的特点, 与静态 CMOS 电路相比, 电路面积增加不大, 但是显著降低了功耗.

CQSERL 电路可以完全参照数字 CMOS 电路的设计方法进行设计, 我们用 4 位行波进位加法器电路作为测试对象, 分别设计了相应的 CQSERL 电路和 CMOS 电路, 比较了它们的功耗性能. 同时, 我们设计了一种实验性的两相正弦功率时钟产生电路, 能够产生和数字时钟同步的正弦信号, 这个电路已经在多芯片项目中流片验证.

2 CQSERL 电路

2.1 CQSERL 电路结构

CQSERL 的反相器电路结构、功率时钟和控制时钟波形如图 1 所示. 功率时钟 f_i 和 f_{ib} 是相位相反的正弦信号, clk 和 $clkb$ 是相位相反的数字时钟. clk 在低电平时, f_i 处于上升沿, 为求值期 (evaluation), clk 在高电平时, f_i 处于下降沿, 为保持期 (hold), 它们的相位关系由功率时钟产生电路保证.

* 国家自然科学基金资助项目 (批准号: 59995550-1)

戴宏宇 男, 1975 年出生, 博士研究生, 从事 CMOS 低功耗集成电路研究.

周润德 男, 1945 年出生, 教授, 博士生导师, 从事低功耗集成电路与嵌入式系统研究.

2002-05-15 收到, 2002-09-03 定稿

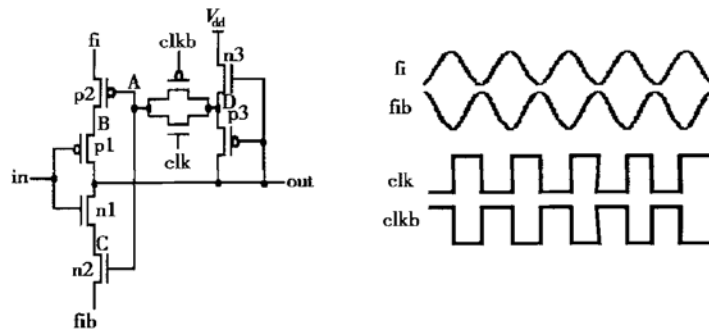


图 1 CQSERL 反相器电路结构和两相正弦功率时钟波形图

Fig. 1 Schematic of CQSERL inverter and two-phase sinusoidal power clock

p1 和 n1 实现求反的逻辑, 和静态 CMOS 逻辑电路相比, CQSERL 用两相正弦功率时钟取代直流电源和地, 并增加了 p2、n2、p3、n3 和一个传输门组成的控制电路. 其中 p3 和 n3 组成的 buffer, 称为 ground-less 结构^[5], A 点的状态在 clk 处于高电平期间将和 out 点相同.

当 fi 开始上升时, fib 开始下降, A 点已经和 out 节点保持相同状态, 根据输入状态和 A 点的状态组合, 可以有 4 种情况发生:

- (1) in 低电平, A 低电平, 则 fi 通过 p1、p2 支路对 out 点充电, n1、n2 支路不导通;
- (2) in 低电平, A 高电平, 则 p1、p2 支路, n1、n2 支路都不导通, out 仍然保持高电平;
- (3) in 高电平, A 低电平, 则 p1、p2 支路, n1、n2 支路都不导通, out 仍然保持低电平;
- (4) in 高电平, A 高电平, 则 fib 通过 n1、n2 支路回收 out 节点电荷, p1、p2 支路不导通.

可见, 如果输入不使输出状态发生变化, 输出节点将一直保持原来的状态, 功率时钟不需要在每个周期对输出节点充电和回收. 如果输入使输出状态翻转, 则输出节点将被功率时钟充电或者回收. CQSERL 电路与静态 CMOS 电路的输入输出都是电平有效信号, 而动态能量回收电路输出是脉冲信号, 因此 CQSERL 电路是由波动的功率时钟供电, 与静态 CMOS 电路类似的准静态工作模式. 在一般的逻辑电路中, 电路节点状态翻转的概率很小, 如乘法器电路, Monte Carlo 模拟表明, 其内部节点的状态翻转概率只有 0.29^[4], 因此和其它动态的能量回收电路相比, CQSERL 电路的准静态特性能够显著降低动态功耗.

当 fi 开始下降, fib 开始上升时, clk 和 clkb 控

制的传输门打开, out 的状态被传递到 A 点. 如果 in 保持不变, 则 p1、p2 之路与 n1、n2 之路均不导通, out 保持原来的状态不变. 如果 in 状态变化, 由于 in 是跟随 fib 上升或者 fi 下降, 可以验证, p1、p2 之路与 n1、n2 之路仍然不导通, out 也保持原来的状态.

n3 和 p3 组成的 buffer 结构与两级 CMOS 反相器级联构成的 buffer 相比, 具有面积小、功耗低的特点, 它在电路工作过程中起到隔离控制点 A 与输出点 out 的作用. 如果用传输门直接将 A 点与 out 点相连, 电荷共享效应会破坏 out 点电平, 导致电路不能正常工作. n3 和 p3 组成的 buffer 能显著降低电荷共享效应对输出电平的破坏. 设 A、D 和 out 节点的电容分别为 C_A 、 C_D 和 C_o , 如果 out 为高电平, 则 n3 导通, A 点由 V_{dd} 充电到高电平 $V_{dd} - V_t$, out 的高电平不会损失; 如果 out 为低电平, A 为高电平, 在传输门打开后 p3 导通, out 和 A、D 点连通, 设在传输门导通后 A 点的稳定电平为 V_x , 由电荷守恒可得:

$$C_A(V_{dd} - V_t) + C_D V_t = (C_A + C_D) V_x + C_o(V_x - V_t)$$

因此

$$V_x = [C_A V_{dd} + (C_o + C_D - C_A) V_t] \div (C_A + C_D + C_o)$$

C_A 由 n2、p2 的栅电容和 n4、p4 的源端电容组成, C_D 由 n3、p3 和 n4、p4 的漏端电容组成, C_o 由 n3、p3 的栅电容和负载电容组成. 电源电压为 3V 时, 如果 out 驱动一个反相器负载, 计算得到 V_x 电平为 1.2V, V_{out} 的低电平为 0.3V, 在大负载情况下, 输出低电平则更为理想. 因此 n3、p3 组成的 buffer 能够减弱电荷共享效应对输出电平的影响, 保证电路正常工作.

2.2 电路模拟结果

我们用 Hspice 模拟了 CQSERL 反相器电路. 功率时钟频率为 10MHz, 驱动 100fF 的电容负载, 电源电压为 3V, 模拟结果如图 2 所示.

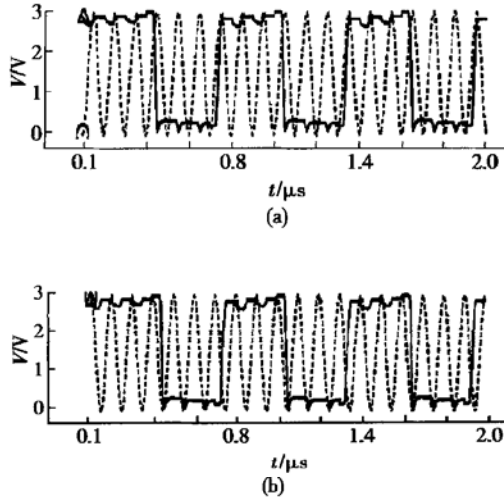


图 2 CQSERL 反相器电路的 Hspice 模拟结果 (a) 输出节点 out 与功率时钟 fi 波形; (b) 输出节点 out 与功率时钟 fib 波形

Fig. 2 Hspice simulation results of CQSERL inverter (a) Waveform of output node out and power clock fib; (b) Waveform of output node out and power clock fib

输出节点 out 为低电平时, A 点的低电平不能够将 n2 完全截止, 因此 out 的低电平会跟随 fib 波动; out 为高电平时, 节点处于浮空状态, 也会由于寄生器件的耦合作用而使电平受到功率时钟变化的影响. 在级联电路过多的情况下, 需要电平稳定和恢复电路.

2.3 输出节点的浮空状态与稳定电平措施

在功率时钟处于保持期间, 与输出节点 out 相连的上拉之路与下拉之路都不导通, out 处于浮空状态, 容易受到噪声的影响. 噪声的来源有三个途径: (1) 漏电流; (2) 栅-源、栅-漏寄生电容的耦合影响; (3) 电荷共享. 由于 CQSERL 电路不需要低开启电压的 MOS 管, 漏电流的影响基本可以忽略. 栅-源、栅-漏寄生电容会将输入信号和功率时钟的变化传递到输出节点, 导致输出电压波动. 由于 fi 和 fib 的变化方向相反, 将抵消一部分它们的影响, 另外可以通过版图设计降低栅-源、栅-漏的寄生电容.

电荷共享效应使 A 点的低电平不能将 n2 截止, out 在低电平时会随 fib 波动, 由于 n2 处于弱导通状态, 这个波动电平很小 (0.3V 左右). 如果电路负载很小或者级联的电路过长, 导致电平质量下降很大, 则需要在输出点增加锁存器, 如图 3 所示, 在 out 节点增加了钟控锁存器, 在保持期间, out 电平被锁存, 保证了输出电平不受电荷共享效应的影响. 增加锁存器同时带来了额外的功耗损失, 在小扇出节点与过长级联电路中增加锁存器电路时要折衷考虑低噪声与低功耗的要求.

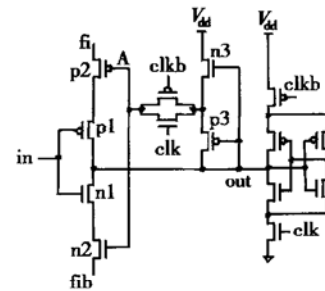


图 3 小扇出节点增加锁存器稳定输出电平

Fig. 3 Add latch at low fan-out node to stabilize output

3 CQSERL 电路设计实例

CQSERL 电路级联结构如图 4 所示, 相邻电路的功率时钟相位相反, 交替进行“求值-保持”的状态循环. CQSERL 电路设计可以完全参考 CMOS 的电路结构, 将直流电源用两相正弦功率时钟代替, 同时增加如图 4 所示的控制电路.

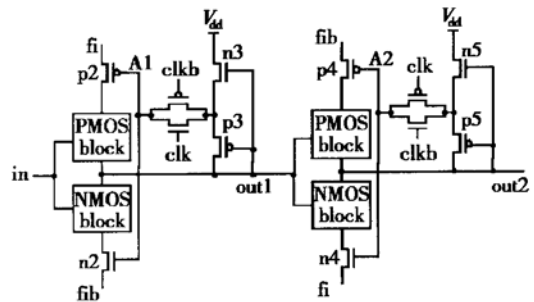


图 4 CQSERL 电路的级联结构

Fig. 4 Cascading structure of CQSERL circuit

3.1 CQSERL 4 位全加器设计

我们选择了 4 位行波进位加法器 (ripple carry adder, RCA) 电路作为测试对象, 分别设计了对应的

CQSERL 电路和 CMOS 电路. 4 位 RCA 的结构如图 5 所示, 右图为 FA 的详细结构. 在 4 位 RCA 的

第二级和第四级, 用输入的反信号运算, 避免在进位传播路径上增加反相器.

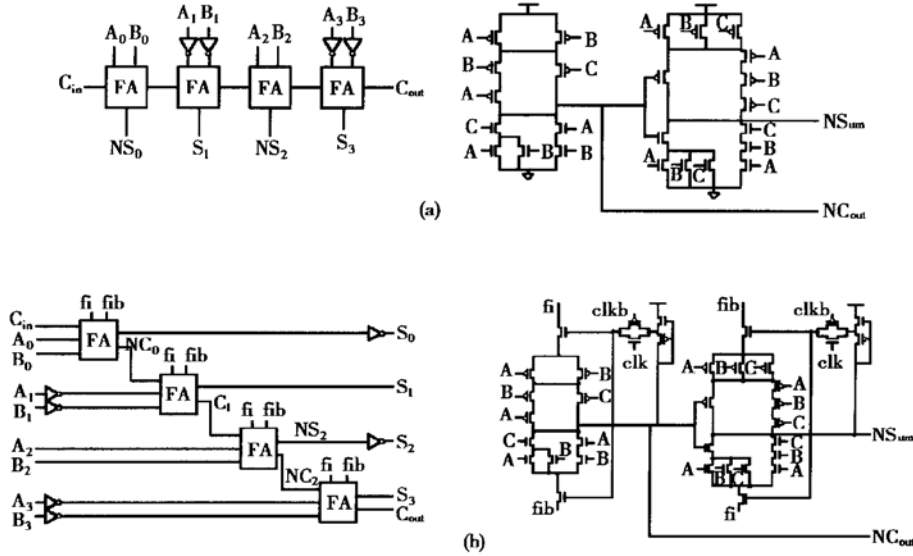


图 5 4 位 RCA 电路 (a) 4 位 CMOS RCA 与一位全加器电路; (b) 4 位 CQSERL RCA 与一位全加器电路

Fig. 5 4-bit RCA circuit (a) 4-bit CMOS RCA and 1-bit full adder circuit; (b) 4-bit CQSERL RCA and 1-bit full adder circuit

3.2 两相正弦功率时钟产生电路

功率时钟产生电路是能量回收电路系统的重要组成部分, 高效率的功率时钟产生电路是实现系统低功耗性能的保证. 文献[4, 6, 7]中的正弦功率时钟产生电路工作原理基本相同, 即利用片外的电感、电容与片内电容负载构成振荡回路, 同时在片内集成控制开关. 我们设计的功率时钟产生电路如图 6 所示. 电感 L 和电容 C_L 为外接器件, clk 和 $clkb$ 是相位相反的系统时钟, 通过调节 L 与 C_L 的大小使时钟产生电路在 clk 的频率下和片内电路产生谐振. fi 频率可控, 与 clk 相位固定, 利于 CQSERL 电路与系统中 CMOS 数字电路的数据交换.

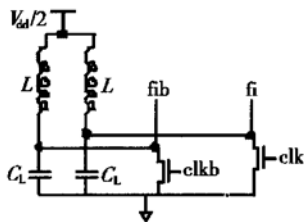


图 6 正弦功率时钟产生电路

Fig. 6 Sinusoidal power clock generator

3.3 模拟结果

我们用 32 位伪随机数发生器产生了一组测试向量, 作为 CQSERL 和 CMOS 4 位 RCA 的输入激励, 并计算和比较它们的功耗. 模拟条件为 $0.8\mu\text{m}$ DPDM CMOS 工艺参数, 每个输出端有 100fF 的电容负载, 功率时钟为 10MHz .

模拟结果如图 7 所示, CQSERL 电路的输出信号比 CMOS 电路的输出信号有延迟, 延迟的大小取决于输入到输出所经历的电路级数, 如果 C_{out} 的变化是由于 A_0 的变化引起, 则延迟为 $2.5T$, T 为功率时钟周期, 如果 C_{out} 的变化是由于 A_3 的变化引起, 则延迟只有 $0.5T$. CQSERL 与 CMOS 4 位 RCA 的功耗分别为: $P_{cqsrl} = 0.762\mu\text{W}$, $P_{cmos} = 2.154\mu\text{W}$, CQSERL 电路功耗是 CMOS 电路功耗的 35%, 表现出良好的低功耗性能.

以上模拟假定了 fi 与 clk 相位相同, 如果 clk 领先 fi , 则在求值结束后输出电平不能立刻被采样到 A 点, out 将会随 fi 或者 fib 变化, 输出电平质量下降; 如果 clk 落后 fi , 则求值不能充分进行, 即 out 不能被完全充电到高电平和放电到低电平. 在相位差

10%的情况下, clk 领先 fi , 则高电平下降 0.5V, 低电平上升 0.3V; clk 落后 fi , 则高电平下降 0.3V, 低电平上升 0.3V. 两种情况下的电路功耗都有所降低, 这是由于此时电路等效于降低了电源电压, 摆幅减小, 因此功耗比相位差为 0 的情况要低.

功率时钟产生电路的波形如图 7(f) 所示, 通过

调节片外器件 L 与 C_L 的大小可以得到与 clk 频率相同的正弦功率时钟. 为了芯片测试方便, 设计振荡频率为 2.5MHz, 在选定器件参数情况下, 产生波形良好的正弦功率时钟, 时钟频率与外接系统时钟相同, 二者相位固定, 相位差小于 5%.

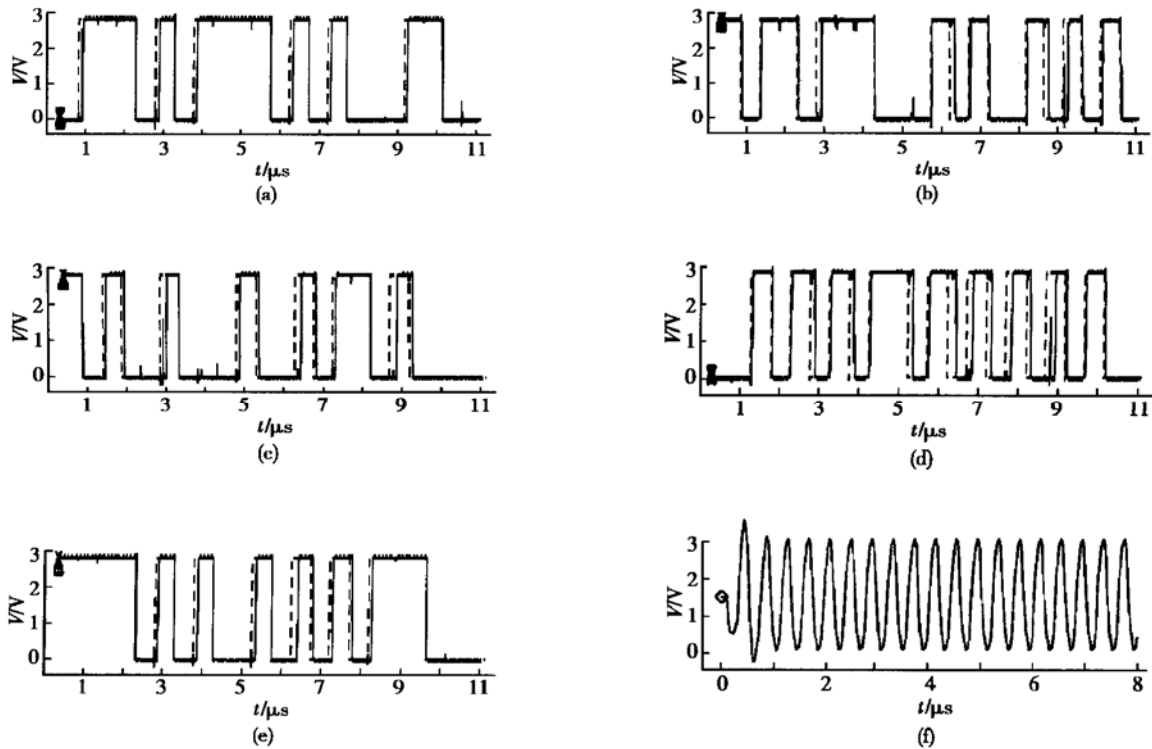


图 7 4 位 RCA 模拟结果 (a) 4 位 RCA NS_0 输出; (b) 4 位 RCA S_1 输出; (c) 4 位 RCA NS_2 输出; (d) 4 位 RCA S_3 输出; (e) 4 位 RCA C_{out} 输出; (f) 正弦功率时钟产生电路输出波形

Fig. 7 Simulation results of 4-bit RCA (a) Waveform of NS_0 ; (b) Waveform of S_1 ; (c) Waveform of NS_2 ; (d) Waveform of S_3 ; (e) Waveform of C_{out} ; (f) Output waveform of sinusoidal power clock generator

4 结论

本文提出了一种准静态工作的能量回收电路 CQSERL, 该电路避免了每个时钟周期对电路节点充电与回收, 节约了大量的动态功耗损失, 而且不需要差分信号工作, 降低了硬件实现代价. CQSERL 电路的设计与实现与标准 CMOS 电路基本相同, 文中给出了 4 位 RCA 电路的设计实例与模拟结果, CQSERL 4 位 RCA 工作在 10MHz 的功率时钟下, 功耗仅为 CMOS 电路的 35%. 设计了一个实验性的两相正弦功率时钟产生电路, 可以调节外接电感与电容, 使产生的正弦时钟与系统数字时钟同步, 这

个电路已经在多芯片项目中流片验证.

参考文献

- [1] Denker J S. A review of adiabatic computing. Proceedings of the 1994 Symposium on Low Power Electronics, San Diego, 1994: 94
- [2] Hang Guoqiang, Wu Xunwei. Non-floating output adiabatic CMOS circuits adopting two-phase power-clock. Chinese Journal of Semiconductors, 2000, 22(3): 366 (in Chinese) [杭国强, 吴训威. 采用二相功率时钟的无悬空输出绝热 CMOS 电路. 半导体学报, 2000, 22(3): 366]
- [3] Li Xiaomin, Qiu Yulin, Chen Chaoshu. A type of bootstrapped charge-recovery logic circuit. Chinese Journal of Semiconduc-

- tors, 2000, 21(9): 887 (in Chinese) [李晓民, 仇玉林, 陈潮枢. 一种利用自举效应的 Charge-Recovery 逻辑电路. 半导体学报, 2000, 21(9): 887]
- [4] Ye Yibin, Roy K. QSERL: quasi-static energy recovery logic. IEEE J Solid-State Circuits, 2001, 36(2): 239
- [5] Bui H T, Al-Sheraidah A K, Wang Y. New 4-transistor XOR and XNOR designs. The Second IEEE Asia Pacific Conference on ASICs, 2000: 25
- [6] Burkart V, Manfred G. A low power sinusoidal clock. IEEE Symposium on Circuits and Systems, Sydney Australia, 2001: 108
- [7] Hamid M M, Ali A K. Efficient power clock generation for adiabatic logic. IEEE Symposium on Circuits and Systems, Sydney Australia, 2001: 642

Clocked Quasi-Static Energy Recovery Logic^{*}

Dai Hongyu and Zhou Runde

(*Institute of Microelectronics, Tsinghua University, Beijing 100084, China*)

Abstract: Clocked quasi-static energy recovery logic (CQSERL) circuit utilizes energy recovery theory and works like static CMOS behavior. CQSERL circuit need not to charge and recover node on each power clock cycle, this action only happens when input changes the output state; also CQSERL is single-rail logic, which decreases hardware cost. QSERL circuit can works with two phase sinusoidal power clock, and circuit design is very easy established by modification of static CMOS counterpart. QSERL 4-bit carry ripple adder (RCA) is designed and compared with static CMOS counterpart. At 10MHz power clock, the power consumption of CQSERL 4-bit RCA is 35% of CMOS 4-bit RCA. A simple two phase sinusoidal power clock generator is taped out, whose phase is synchronous with system clock.

Key words: quasi-static; energy recovery; low power; adiabatic computing; CMOS circuit

EEACC: 1265A; 2560; 2570D

Article ID: 0253-4177(2003)04-0421-06

* Project supported by National Natural Science Foundations of China(No. 59995550-1)

Dai Hongyu male, was born in 1975, PhD candidate. His research interests are low power CMOS circuit design and embedded system design.

Zhou Runde male, was born in 1945, professor and advisor of PhD candidates. His research interests are low power IC design and embedded system structure.

Received 15 May 2002, revised manuscript received 3 September 2002

©2003 The Chinese Institute of Electronics