

超深亚微米非对称 Halo LDD 低功耗 新器件的研究分析*

田 豫 黄 如

(北京大学微电子所, 北京 100871)

摘要: 提出了一种新的器件结构——非对称 Halo LDD 低功耗器件, 该器件可以很好地抑制短沟效应, 尤其可以很好地改善 DIBL 效应、热载流子效应以及降低功耗等, 是低功耗高集成度电路的优选结构之一. 分析了非对称 Halo LDD 器件的主要特性, 并将其与常规结构、非对称 LDD 结构、非对称 Halo 结构的器件进行了比较并进行了参数优化分析.

关键词: 非对称; Halo LDD; 低功耗; 模拟

EEACC: 2560; 2560S

中图分类号: TN43

文献标识码: A

文章编号: 0253-4177(2003)05-0510-06

1 引言

随着集成度的不断提高, 器件的特征尺寸不断减小, 出现了一系列新的物理效应和有待解决的问题. 当沟长不断缩小时, 栅压引起的沟道耗尽区与源衬、漏衬 pn 结引起的耗尽区发生重叠, 有效栅控电荷减小, 导致阈值电压降低^[1]. 在 MOSFET 沟道区的电场分布中, 漏端的电场很强, 而源端电场较小, 这种电场的不均匀分布, 使得源端的低电场制约了电子速度, 也就成为限制驱动电流的主要因素. 针对这些问题, 可以在源端加一 Halo 结构, 这样可以提高源端的电场, 提高驱动能力, 同时由于源端电场的增加, 电压降的增大, 从而缓解漏端的强电场, 可以从某种程度上缓解电荷的共享问题^[2-5], 提高栅控的能力. 另一方面, 器件尺寸缩小, 而电源电压基本保持不变, 使氧化层垂直方向的电场迅速增加, 沟道长度的缩小也使沟道区的横向电场增大, 使热载流子效应变得严重, 影响器件的可靠性, 导致器件的驱动电流减小, 甚至最终使器件失效. 在漏端加 LDD (轻掺杂漏) 区, 可以减小漏端强电场对器件的破坏; 同时

由于漏端的浅掺杂区降落部分漏电压, 可以从某种程度上减小 DIBL 效应, 并减小阈值的漂移^[1].

基于以上原因提出在源端加一 Halo 结构, 而在漏端加一 LDD 结构的体硅 MOS 器件, 可望更好地抑制短沟效应, 得到更大的驱动能力和开关比, 提高器件的可靠性, 使两种结构都能发挥各自的优势, 抑制尺寸减小带来的一系列问题.

2 器件结构和模拟物理模型

图 1(a) 为非对称 Halo LDD 低功耗器件 ($p^+ - n^-$) 结构示意图. 这种结构的特点主要是靠近源漏端采用非对称 Halo LDD 结构, 结构的实现不需要增加新的工艺步骤, 只需将现有工艺步骤中实现 Halo 结构的倾斜注入 (tilted implantation) 用两种不同类型的离子来实现, 因此器件制备工艺与现有工艺完全兼容.

我们主要针对非对称 Halo LDD 器件结构进行了模拟、分析和结构优化, 同时为了更好的说明非对称 Halo LDD 器件结构的特性, 我们将其与常规 (Normal) 器件、非对称 Halo 结构 (p^+)、非对称

* 国家重点基础研究专项基金资助项目 (编号: 2000036501)

田 豫 女, 1979 年出生, 博士研究生, 主要从事超深亚微米 MOS 器件的研究.

黄 如 女, 1969 年出生, 博士, 副教授, 主要从事超深亚微米 MOS 器件、SOI 技术的研究.

2002-06-20 收到, 2002-07-18 定稿

LDD 结构(n^-) 在相同沟道长度, 掺杂浓度和其它参数相同的条件下进行模拟和比较. 图 1(b)、(c)、(d) 分别是常规器件、非对称 Halo 结构、非对称 LDD 结构的示意图.

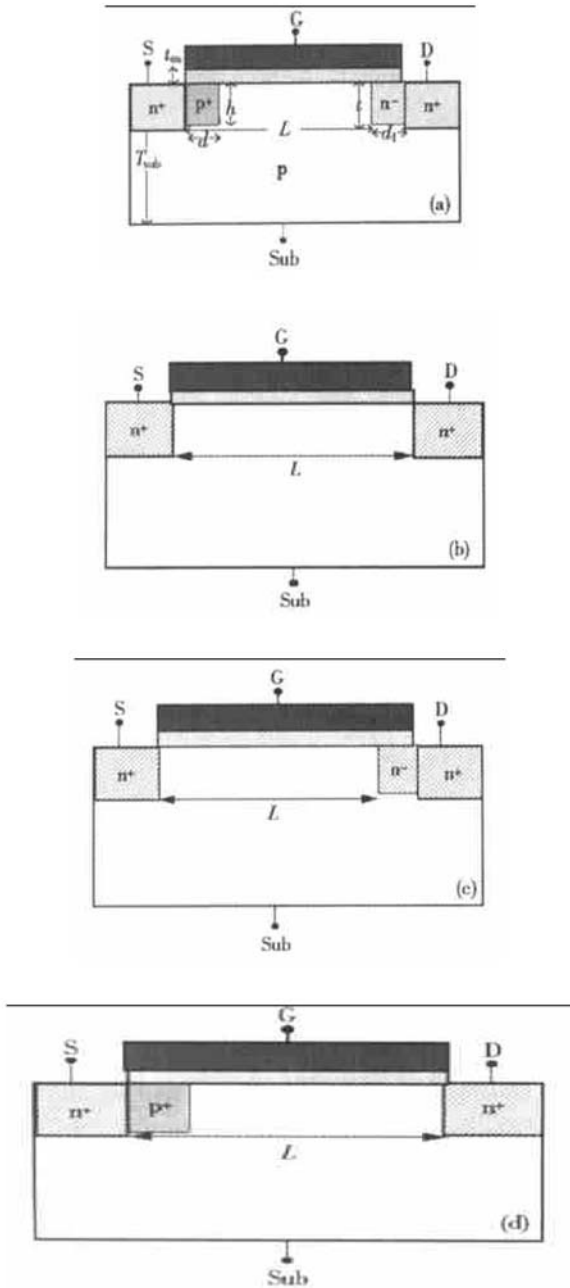


图 1 (a) 非对称 Halo LDD 结构($p^+ - n^-$); (b) 常规结构; (c) 非对称 LDD 结构(n^-); (d) 非对称 Halo 结构(p^+)
Fig. 1 (a) Asymmetrical Halo LDD structure; (b) Normal structure; (c) Asymmetrical LDD structure; (d) Asymmetrical Halo structure

采用 ISE 二维模型, 对器件特性进行了模拟. 在模拟中, 采用流体动力学和量子效应模型; 复合模

型采用了 SRH、Auger、Band2band 和 Avalanche 模型; 迁移率模型采用了 doping Dependence、High field saturation、Enormal 和 PhuMob 模型. 非对称 Halo LDD 器件的结构参数: 源漏掺杂浓度为 10^{20} cm^{-3} , 栅氧化层厚度 $t_{ox} = 2 \text{ nm}$, 源漏的结深 $t = 0.02 \mu\text{m}$, 针对沟道长度为 100 nm 和 50 nm 器件进行模拟分析, 其它结构参数如 Halo 和 LDD 区的高度、宽度以及浓度、衬底区的浓度等都是可变参数.

3 器件特性分析及讨论

我们先进行这四种器件的特性比较. 图 2(a)、(b) 和表 1 所示是器件沟长均为 100 nm 的条件下比较它们的驱动能力和阈值的漂移情况. Halo 区的高度 $h = 0.015 \mu\text{m}$, 宽度 $d = 0.05 \mu\text{m}$, Halo 区的掺杂浓度 $p^+ = 5 \times 10^{17} \text{ cm}^{-3}$, LDD 区的高度为 $0.015 \mu\text{m}$, 宽度 $d_1 = 0.02 \mu\text{m}$. LDD 区的掺杂浓度 $n^- = 10^{19} \text{ cm}^{-3}$.

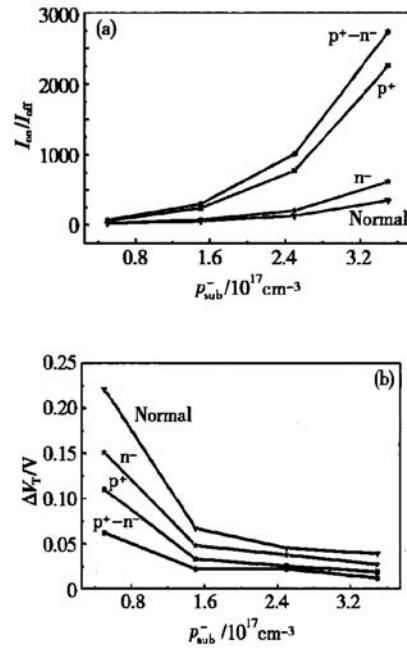


图 2 (a) 四种不同器件结构的开关比; (b) 四种不同器件结构的阈值漂移
Fig. 2 (a) Comparison of ratio of I_{on} to I_{off} between four kinds of devices; (b) Comparison of threshold shift between four kinds of devices

开态电流 I_{on} 定义为 $V_{gs} = V_{ds} = 1 \text{ V}$ 时的 I_d 电流; 关态电流 I_{off} 定义为 $V_{gs} = 0 \text{ V}$, $V_{ds} = 1 \text{ V}$ 的 I_d 电流; I_{on}/I_{off} 为器件的开关比; V_{th1} 定义为当漏电压 $V_{ds} = 0.1 \text{ V}$ 时的阈值电压; V_{th2} 定义为当漏电压 $V_{ds} =$

1V 时的阈值电压; ΔV_T 定义为 $V_{th1} - V_{th2}$, 可以表征阈值的漂移情况.

表 1 四种结构的衬底浓度均为 $3.5 \times 10^{17} \text{cm}^{-3}$ 时的电流比较
Table 1 Comparison of current of four different structures with the same substrate concentration $3.5 \times 10^{17} \text{cm}^{-3}$

	Normal 器件	非对称 LDD 器件	非对称 Halo 器件	非对称 Halo LDD 器件
$I_{on}/(\text{A} \cdot \mu\text{m}^{-1})$	0.000983	0.000942	0.000885	0.00086
$I_{off}/(\text{A} \cdot \mu\text{m}^{-1})$	2.827×10^{-6}	1.526×10^{-6}	3.94×10^{-7}	3.151×10^{-7}

图 2(a)、(b) 和表 1 中数据是器件结构还未进行优化时获取的, 但从表 1 中我们可以看到非对称 LDD、非对称 Halo 器件的开态和关态电流都比常规器件在一定程度上减小, 而非对称 Halo LDD 器件无论是开态电流, 还是关态电流都是最小的. 尤其是关态电流, 比常规器件小一个数量级, 这说明其具有漏电流小、功耗低的特点. 一方面, 这是由于 Halo 区使靠近源端的势垒抬高, 从而减小了源端的电子注入, 进而减小电流的大小; 另一方面, 由于漏端 LDD 的低掺杂 n 区, 降低一部分漏电压, 从而减小了 DIBL 效应, 即缓和了漏致势垒的降低, 也进一步减小了漏电流, 因此非对称 Halo LDD 器件可以降低功耗, 很适合对低功耗要求高的电路. 并且由于 Halo 区的存在使器件的阈值增大进而表现为其电流减小. 虽然开态电流 I_{on} 和关态漏电流 I_{off} 都减小, 但 I_{on} 减小的趋势很小而漏电流却变化很明显, 也就是以 I_{on} 减小的代价换来漏电流的大幅度减小, 这样 I_{on}/I_{off} 开关比很明显地增大. 如果对非对称 Halo LDD 器件进行优化, 其表现会更明显.

图 2(a)、(b) 分别是四种不同的器件结构在相同条件下的开关比和阈值漂移的模拟比较, 从图中我们可以很明显地看到带 Halo 结构的器件不论是驱动能力方面还是其阈值的漂移方面, 其特性都好于其它两种器件, 由此可以推断出 Halo 区对改善短沟道器件性能具有很重要的作用. 而非对称 Halo LDD 低功耗器件更优越, 开关比最大, 阈值漂移最小, 这是由于漏端的浅掺杂 LDD 区有效的抑制了 DIBL 效应以及短沟效应, 并且使器件开关比得到大幅度提高.

4 结构参数优化

从以上的分析我们已看出非对称 Halo LDD 低

功耗器件比较其它器件有其独特的优越性, 因此需要对其结构的各参数进行优化使其优越性更好地发挥. 在各种参数中, 我们可以调节以下结构参数: Halo 区的高度 h 、宽度 d 、浓度 p^+ ; LDD 区的高度、宽度 d_1 、浓度 n^- ; 衬底浓度 p_{sub}^- 等. 为了说明其特性优化, 将非对称 Halo LDD 结构和与其性能接近的非对称 Halo 结构进行了比较. 以下是对沟道长度为 100nm 非对称 Halo LDD 低功耗器件结构进行优化.

4.1 调整 Halo 区的浓度

图 3 是固定衬底浓度 p_{sub}^- 为 10^{17}cm^{-3} , 调节 Halo 区的 p^+ 浓度时的非对称 Halo LDD 器件和非对称 Halo 器件的开关比和阈值漂移特性的变化及比较曲线.

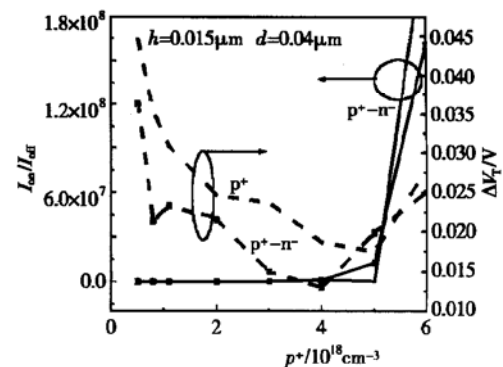


图 3 开关比、阈值漂移随 p^+ 浓度的变化曲线

Fig. 3 Ratio of I_{on} to I_{off} and threshold shift versus p^+ concentration

从图 3 中我们首先可以肯定的是非对称 Halo LDD 器件的开关比、阈值漂移特性均好于非对称 Halo 器件结构. 对于不同的 p^+ 浓度非对称 Halo LDD 低功耗器件, 无论是开关比 I_{on}/I_{off} 还是阈值漂移都有很大的变化, 这说明非对称 Halo LDD 器件的性能对 Halo 区的浓度变化很敏感. 开关比随浓度增大是急剧升高的, 阈值漂移随浓度增大而减小, 但当浓度增大到一定程度时, 阈值漂移开始增大. 而且通过两种器件的比较可以看出 Halo LDD 结构有其优化的工作范围, 从 I_{on}/I_{off} 比的特性来看, 希望其浓度越高越好, 因为浓度的增大有利于漏电流的减小, 从而增大 I_{on} 与 I_{off} 比, 并且有助于抑制阈值的漂移. 但浓度过于增大又会影响开态电流 I_{on} 的减小, 虽然在一定范围内有利于降低功耗, 但其过分减小会影响器件的驱动能力. 因此权衡以上因素, p^+ 的浓度

最好在 $2 \times 10^{18} \text{cm}^{-3} \sim 5 \times 10^{18} \text{cm}^{-3}$ 范围内, 并且需根据实际要求(如功耗、驱动能力或阈值漂移)进行调整。

4.2 调整 Halo 区的宽度

由于 Halo 区作用之一是可以抑制源漏耗尽区的扩展并防止其穿通, 因此它的宽度会受到一定的限制, 宽度过小, 将不能起到很好的作用; 但宽度又不能过大, 否则, 会影响 I_{on} 器件的驱动能力. 非对称 Halo 结构和低功耗 Halo LDD 结构在不同 Halo 宽度下, 开关比和阈值漂移的特性模拟结果如图 4 所示。

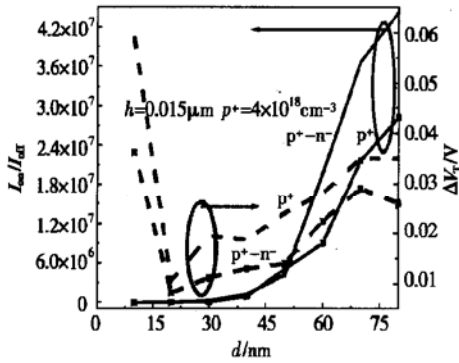


图 4 开关比、阈值漂移随宽度 d 的变化曲线

Fig. 4 Ratio of I_{on} to I_{off} and threshold shift versus p^+ region width

从图 4 可以看到非对称 Halo LDD 器件的特性好于与其性能最为接近的非对称 Halo 结构, 同时可以看到 Halo 区的宽度对非对称 Halo LDD 器件的性能影响也非常大. 当 Halo 区宽度增大时 I_{on}/I_{off} 开关比增大, Halo LDD 结构特性更好, 而阈值的漂移在宽度大约为 $0.02 \mu\text{m}$ 时是不断降低的. 这就充分说明了要抑制 DIBL 效应, Halo 区需要一定的宽度才能起到很好的作用. 但我们还可以从图中看到当宽度再增大时阈值的漂移会缓慢的增加. 随着高浓度区域的增大, I_{on} 电流会减小, 从而影响器件的驱动能力; 但同时漏电流 I_{off} 也会大幅度减小, 会更有利于功耗的降低, 因此我们应根据实际的需要来折中选取。

4.3 其它参数的调节

衬底浓度对器件的影响也很重要, 因为它与 Halo 区的浓度有很强的依赖关系. Halo 区为了防止源漏耗尽区的扩展, 增大源端的电场强度, Halo

区掺杂浓度需要比衬底浓度高, 这样不但会影响阈值的大小而且会影响电流的大小. 但如果浓度过大, 源端电场增加很多, 由于横向电场对迁移率的影响, 载流子的迁移率将不再是常数, 电子的漂移速度也就不再随电场强度线性增大. 这样, 我们得到的器件性能就不如我们所预料的好, 所以 Halo 区的浓度还需要根据衬底浓度的大小进行选择. 从模拟数据看到, 较大范围内的浓度改变都可以达到很好的特性要求. 模拟还进行了其它参数的调节, 如 LDD 区的浓度、宽度以及 Halo 区的高度调节, 但它们对器件的影响很小。

同样, 我们也对沟长为 50nm 的器件进行了比较和优化. 图 5(a)、(b) 分别是调整 Halo 区的宽度和高度, 非对称 Halo LDD 器件和非对称 Halo 器件的开关比和阈值漂移的变化曲线. 图 6(a)、(b) 则分别是非对称 Halo LDD 器件和非对称 Halo 器件的开关比和阈值漂移随 Halo 区的浓度和衬底浓度变化曲线. 可见, 得到了与 100nm 类似的结论. 当尺寸减小到超深亚微米时, 非对称 Halo LDD 低功耗器

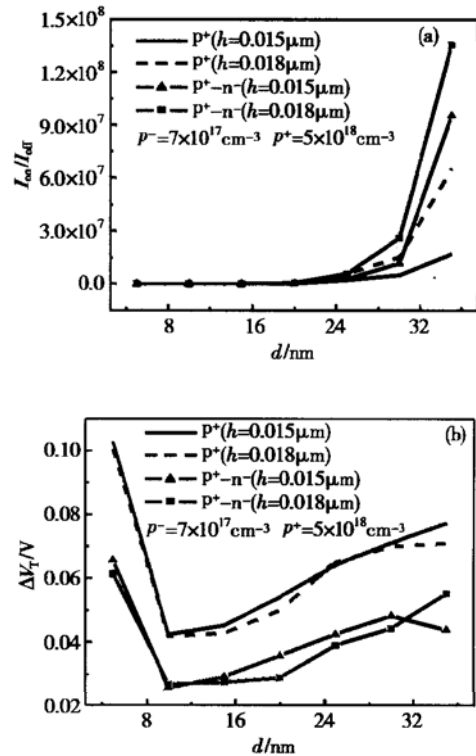


图 5 (a) 开关比随 Halo 区的宽度和高度变化; (b) 阈值漂移随 Halo 区的宽度和高度变化

Fig. 5 (a) Ratio of I_{on} to I_{off} versus Halo region width and height; (b) Threshold shift versus Halo region width and height

件的优越性表现得更明显了. 这就进一步证明了非对称 Halo LDD 结构在某种程度上对抑制短沟效应及其它小尺寸带来的问题起到了一定的作用.

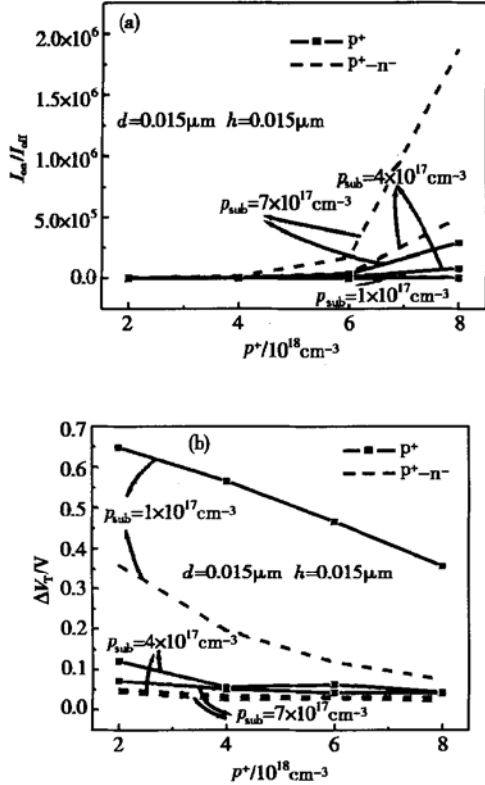


图 6 (a) 开关比随 p^+ 和 p_{sub} 的变化; (b) 阈值漂移随 p^+ 和 p_{sub} 变化

Fig. 6 (a) Ratio of I_{on} to I_{off} versus p^+ and p_{sub} concentration; (b) Threshold shift versus p^+ and p_{sub} concentration

为了进一步说明非对称 Halo LDD 器件的特性, 我们提取了这四种不同器件结构在沟长为 50nm 时, 不同的衬底浓度 p_{sub} 的亚阈值斜率, 如图 7 所示. 我们可以看到常规器件的栅控能力最差. 当器件在漏端加一 LDD 结构后, 栅控能力得到了改善. 而 Halo 结构大大增强了亚阈特性, 非对称 Halo LDD 器件亚阈值斜率最小. 这是由于漏端 LDD 结构的低掺杂使漏端的 pn 结电压减小, 从而缩小了漏端的耗尽层宽度, 减小了与沟道区的共享电荷. 而源端的 Halo 结构的 p^+ 重掺杂同样减小了源端耗尽层的宽度以及源端耗尽区的扩展, 使沟道区的共享电荷减小, 从而抑制了短沟效应, 提高了栅控能力.

图 8 给出了 50nm 非对称 Halo LDD 低功耗器件与常规结构器件的沟道区电场分布比较. 从图中可以明显看出漏端电场的有效降低和源端电场的提

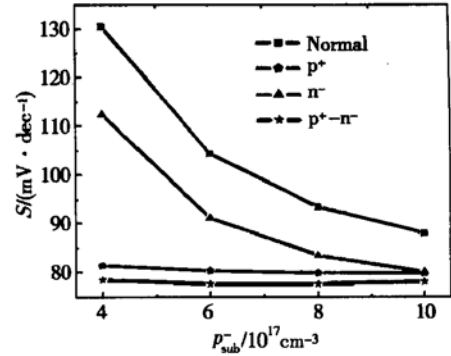


图 7 四种不同器件结构的亚阈斜率 S
 Fig. 7 Comparison of sub-threshold slope gradient between four kinds of devices

高, 因此可望降低热载流子效应, 提高器件的驱动能力. 并且可以根据实际需要来调节 Halo 和 LDD 区的宽度、浓度以及其它相关参数来适度调节源漏电场的分布使其达到合理的分布.

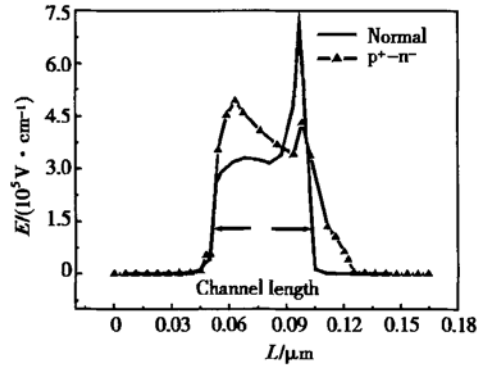


图 8 非对称 Halo LDD 和常规器件沟道的电场分布
 Fig. 8 Channel electronic field of asymmetrical Halo LDD device and normal device

5 结论

本文提出了超深亚微米非对称 Halo LDD 新结构, 在相同的条件下与其它常规以及非对称器件进行了特性比较, 并通过 ISE 的模拟对其进行结构优化. 结果表明非对称 Halo LDD 低功耗器件与常规器件、非对称 LDD 器件以及非对称 Halo 器件相比具有优越的性能; 它可以有效抑制短沟效应, 降低阈值的漂移, 减小 DIBL 效应. 同时它具有泄漏电流小、高开关比、功耗低、亚阈特性好、栅控能力强等优点. 这些特点都可以很好地改善因器件尺寸减小而出现的问题, 其优越性随着器件特征尺寸的减小表现更明显. 另外, 其结构简单, 在工艺方面比较容易

实现, 与传统的 CMOS 工艺相容. 非对称 Halo LDD 结构优化范围较大, 易于实现, 其功耗小的特点更适用于对功耗要求高的电路, 有利于集成, 所以为超深亚微米的集成电路提供了一种优选结构.

参考文献

- [1] Arora N. MOSFET models for VLSI circuit simulation theory and practice. Springer-Verlag, 1993
- [2] Yeh W K, Chou J W. Optimum Halo structure for sub-0.1 μ m CMOSFETs. IEEE Trans Electron Devices, 2001, 48(10): 2357
- [3] Wakabayashi H, Ueki M, et al. Sub-50-nm physical gate length CMOS technology and beyond using steep halo. IEEE Trans Electron Devices, 2002, 49(1): 89
- [4] Wakabayashi H, Ueki M, et al. 45-nm gate length CMOS technology and beyond using steep Halo. IEDM, 2000: 49
- [5] Yu Bin, Wang Haihong, et al. 50nm gate-length CMOS transistor with super-Halo: design, process, and reliability. IEDM, 1999: 653

Simulation and Analysis of Ultra Deep Sub-Micron Asymmetrical Halo LDD Low Power Device^{*}

Tian Yu and Huang Ru

(*Institute of Microelectronics, Peking University, Beijing 100871, China*)

Abstract: A novel n-MOSFET device structure, named as asymmetrical Halo LDD Low Power device, is proposed. The device not only can effectively suppress the short-channel effect (SCE), the drain-induced barrier lowering (DIBL) and hot carrier effect, but also attribute to reduce power dissipation. Aiming at the better application in the low power circuit, device performance of asymmetrical Halo LDD structure is investigated in comparing with normal device, asymmetrical Halo device and asymmetrical LDD device. Furthermore, the optimal structure is analyzed by changing the key device parameters.

Key words: asymmetry; Halo LDD; low power; simulation

EEACC: 2560; 2560S

Article ID: 0253-4177(2003)05-0510-06

* Project supported by the State Key Fundamental Research Project (No. 2000036501)

Tian Yu female, was born in 1979, PhD candidate. Her research activities mainly include very deep sub-micron MOS devices.

Huang Ru female, was born in 1969, PhD, associate professor. Her research interests mainly include very deep sub-micron MOS devices and SOI technology.

Received 20 June 2002, revised manuscript received 18 July 2002

©2003 The Chinese Institute of Electronics