

基于关键面积的冗余集成电路成品率分析*

赵天绪^{1,2} 段旭朝² 马佩军¹ 郝 跃¹

(1 西安电子科技大学微电子所, 西安 710071)

(2 宝鸡文理学院计算与信息研究所, 宝鸡 721007)

摘要: 利用关键面积的思想分析了冗余电路的成品率, 并给出了其计算模型. 实例模拟表明, 与传统的成品率分析方法相比, 该模型预测 IC 成品率具有更高的精度.

关键词: 关键面积; 故障; 成品率; 缺陷

EEACC: 1130B; 0240G; 2220C

中图分类号: TN43

文献标识码: A

文章编号: 0253-4177(2003)05-0544-06

1 引言

20 世纪 70 年代以来, 器件尺寸由微米级减小到亚微米级、深亚微米级, 甚至到超深亚微米级. 器件尺寸的不断减小和芯片面积的不断增大, 使芯片集成度得到了大幅度提高. 尤其随着集成电路(IC)向系统集成方向发展, 整片集成(WSI)正日益受到关注. WSI 将一个完整的 IC 系统一次性集成到一个晶片上, 以适应通信、雷达、控制和计算机等系统对信息处理容量、速度和可靠性等方面的要求. 由于材料和 IC 加工过程中的缺陷是不可避免的, 因此, 作为 IC 制造商尤为关心其成品率. 然而, 大面积的 VLSI 电路对制造过程中的缺陷非常敏感, 尤其对于 WSI, 一个元器件出现故障就意味着整个晶片报废, 导致集成电路的成品率低下^[1]. 为了使集成电路有一个可接受的成品率, 这些芯片必须设计成具有容错能力的结构. 要使系统具有容错能力就必须给系统中加入一定量的冗余单元, 一旦当集成电路系统中的处理单元出现故障时用这些冗余单元来切换掉故障单元. 对于一个具有容错能力的 IC 系统, 准确地分析该系统的成品率是集成电路可制造性研究的主要问题之一^[2-4]. 如果在该芯片付诸制造之前,

能够准确地预报出其成品率, 将对集成电路的制造起到非常重要的作用. 准确的成品率的预报使得该器件在生产之前可以采取一些修正措施(包括改变设计规则、工艺条件, 改变芯片设计等), 以使集成电路的成品率最大, 从而大大缩短新型集成电路的研制周期. 本文基于关键面积的概念分析了冗余电路的成品率模型, 模拟实验表明该模型提高了冗余电路成品率的预测精度.

2 冗余成品率模型

假设所考虑的系统由 k 个完成不同功能的功能块组成, 在没有冗余单元加入的情况下, 若每一个功能块均处于正常工作状态, 则系统正常工作; 否则系统处于失效状态.

2.1 传统模型

要使一个系统具有容错能力, 必须给系统加入一定数量的冗余单元. 对于加入冗余单元后的功能块, 比如第 i 个功能块, 由 m_i 个处理单元组成. 要使该功能块正常工作, 至少要有 n_i ($n_i < m_i$) 个单元正常工作, 其中 $m_i - n_i$ 个单元作为备用单元或者处于故障状态. 那么, 第 i 个功能块的成品率 $y(n_i, m_i)$ 为:

* 国家科技攻关和陕西省教育厅科研计划(No. 02JK194)资助项目

赵天绪 男, 1964 年出生, 博士, 副教授, 研究方向为集成电路可制造性设计和 IC 容错设计等.

2002-06-17 收到, 2002-10-28 定稿

$$y(n_i, m_i) = \Pr(m_i \text{ 个单元中至少有 } n_i \text{ 个正常工作}) \\ = \sum_{k_i=n_i}^{m_i} \binom{m_i}{k_i} (1-p)^{m_i-k_i} p^{k_i} \quad (1)$$

其中 p 为每一个单元功能正常的概率, 即成品率. 因此, 由 k 个功能块组成的系统正常工作的概率(即系统的成品率) $y(n_1, m_1; n_2, m_2; \dots; n_k, m_k)$ 为^[5]

$$y(n_1, m_1; n_2, m_2; \dots; n_k, m_k) = \prod_{i=1}^k y(n_i, m_i) \quad (2)$$

2.2 改进的模型

从传统的成品率模型分析可以看出, 要使系统正常工作, 只要系统中每一个功能块正常工作; 而每一个功能块要正常工作, 只要每个功能块中正常工作的单元数不小于一定的数量即可. 事实上, 在一个实际的冗余电路系统中, 系统要能正常工作, 不仅要求每个功能块中正常工作的单元数满足一定的数量, 同时要求连接每一个处理单元的互连线、时钟信号线等支撑电路也需要正常工作. 而系统中的支撑电路在电路的设计过程中是不考虑加入冗余单元的, 一旦这些部分出现故障, 就导致整个系统的失效. 因此, 支撑电路正常工作的概率也是影响整个系统成品率的主要因素, 而传统的分析模型忽略了这一部分.

假设第 i 个功能块中的互连线、时钟信号线的成品率为 y_{si} , 那么第 i 个功能块正常工作的概率应为 $y'(n_i, m_i) = \Pr(m_i \text{ 个单元中至少有 } n_i \text{ 个正常工作}) \times \Pr(\text{支撑电路正常工作})$

$$= y_{si} \sum_{k_i=n_i}^{m_i} \binom{m_i}{k_i} (1-p)^{m_i-k_i} p^{k_i} \quad (3)$$

假设系统中每一个功能块之间的互连线、信号控制线等构成的支撑电路的成品率为 y_s , 那么整个系统正常工作的概率为

$$y'(n_1, m_1; n_2, m_2; \dots; n_k, m_k) = y_s \prod_{i=1}^k y'(n_i, m_i) \\ = y_s \prod_{i=1}^k y_{si} \sum_{k_i=n_i}^{m_i} \binom{m_i}{k_i} (1-p)^{m_i-k_i} p^{k_i} \quad (4)$$

3 p 、 y_{si} 和 y_s 的计算

不论是每个处理单元正常工作概率 p 的计算, 还是每个功能块中支撑电路的成品率 y_{si} 和系统中支撑电路的成品率 y_s 的计算, 都要涉及到缺陷在芯片上分布规律的描述. 起初, 人们认为缺陷在芯片上

的分布服从 Poisson 分布. 实际情况表明, 将 Poisson 分布用于 IC 成品率模拟, 其结果往往低于实际统计的成品率. 其原因是缺陷在芯片上不是均匀分布的, 而具有成团效应. 经过大量的研究, IBM 公司的 Stapper 提出了用负二项式分布模型来表征缺陷在芯片上的分布. 负二项式分布模型用于 IC 成品率预测, 其预测精度有了很大的提高. 本文采用负二项式分布模型来计算 p 、 y_{si} 和 y_s 等.

3.1 p 、 y_{si} 和 y_s 的计算模型

设随机变量 X 表示芯片上缺陷的个数, 那么芯片上有 k 个缺陷的概率可用负二项式分布模型给出^[6]:

$$p\{X = k\} = \frac{\Gamma(\alpha + k)}{k! \Gamma(\alpha)} \times \frac{(D_0 A / \alpha)^k}{(1 + D_0 A / \alpha)^{k + \alpha}} \quad (5)$$

其中 α 为缺陷的成团因子, α 越小表明缺陷在芯片上成团越严重; D_0 为芯片上缺陷的平均密度; A 为芯片面积.

公式(5)给出了芯片上有 k 个缺陷的概率, 有人把 $k=0$ 时由公式(5)给出的概率当作 IC 芯片的成品率, 这是不对的. 缺陷是指在工艺线中实际产生的芯片图形与设计图形之间的偏差. 这种偏差是由工艺材料中不期望的化学粒子或空气中尘埃粒子在不同的工艺步骤中淀积在芯片上而造成的. 大量实验表明, 并非所有的缺陷均能引起集成电路成品率的下降, 只有使电路版图的拓扑结构发生变化, 产生 IC 电路连接错误, 导致电路丧失其功能的缺陷才引起成品率的下降. 人们将这类缺陷称为故障. 为了表征故障与成品率之间的关系, 人们提出了关键面积的概念. 所谓关键面积是指集成电路版图中某些关键区域的面积, 在这些关键区域中出现缺陷时必定导致电路的故障. 而成品率是指芯片上没有故障出现的概率. 因此, 在公式(5)中将芯片面积 A 换为关键面积 A_c , 就可以得到芯片上有 k 个故障的概率

$$p\{X = k\} = \frac{\Gamma(\alpha + k)}{k! \Gamma(\alpha)} \times \frac{(D_0 A_c / \alpha)^k}{(1 + D_0 A_c / \alpha)^{k + \alpha}} \quad (6)$$

当 $k=0$ 时, 公式(6)给出了芯片上没有故障的概率, 即芯片的成品率. 因此, 在公式(6)中分别代入每个处理单元的平均关键面积 A_{pc} 、每个功能块中支撑电路的关键面积 A_{sc} 和整个系统中支撑电路的关键面积 A_s , 就可以分别得到 p 、 y_{si} 和 y_s .

3.2 关键面积 A_{pc} 、 A_{sc} 和 A_s 的计算

一般芯片的关键面积 A_c 的计算表达式为:

$$A_c = \int_0^{\infty} A_c(R) h(R) dR \quad (7)$$

此处 $A_c(R)$ 是芯片上的某一区域的面积. 当直径为 R 的圆形缺陷的中心位于该区域时, 该缺陷就会引起故障, 即 $A_c(R)$ 为缺陷粒径为 R 的关键面积; $h(R)$ 为圆形缺陷粒径分布的概率密度函数, 即

$$h(R) = \begin{cases} \frac{2(n-1)R}{(n+1)R_0^2} & 0 \leq R < R_0 \\ \frac{2(n-1)R_0^{n-1}}{(n+1)R^n} & R_0 \leq R < +\infty \end{cases} \quad (8)$$

其中 $n = 3.02^{[1]}$.

$\theta(R)$ 表示粒径为 R 的缺陷造成电路故障的概率, 即失效率; θ 表示缺陷的平均失效率. 得到 $\theta(R)$ 之后, 可以通过对粒径 R 求平均得到 θ . 用 R_0 表示光刻工艺的分辨率极限, R_M 表示缺陷的最大粒径. 那么 θ 可用下式计算

$$\theta = \int_{R_0}^{R_M} \theta(R) h(R) dR \quad (9)$$

A_c 表示这些区域中所有缺陷粒径为 R 的平均关键面积. 因此, 芯片的关键面积 A_c 可用下式计算:

$$A_c = \int_{R_0}^{R_M} A_c(R) h(R) dR \quad (10)$$

假定粒径为 R 的缺陷, 它的中心均匀地分布在该芯片区域中, 用 A_{chip} 表示该芯片面积, 那么该缺陷成为故障的概率为

$$\theta(R) = \frac{A_c(R)}{A_{\text{chip}}} \quad (11)$$

由公式(9)和(10)可得

$$\theta = \frac{A_c}{A_{\text{chip}}} \quad (12)$$

一旦 A_c 或 θ 计算出来, 就可用于计算芯片上的平均故障数 λ , 即公式(6)中的 $D_0 A_c$. 芯片上故障的平均数 λ 为:

$$\lambda = D A_c = \theta D A_{\text{chip}} \quad (13)$$

从(12)式可以看出, A_c 和 θ 是相关的, 要计算其中之一必须先计算出另外一个. 为了计算出平均关键面积 A_c 和平均失效率 θ , 采用以几何为基础的方法可以计算出 $A_c(R)$ (参见文献[7]); 同时可采用 Monte-Carlo 方法计算出 $\theta(R)$, 如英国 Edinburgh 大学的成品率估计器 EYES (edinburgh yield estimator sampling)^[8] 和西安电子科技大学微电子所开发的成品率估计器 XD-YES (Xidian yield estimator).

无论采用哪一种计算方法, 对于给定的 IC 电路

均可以提取出其关键面积. 把提取出每个处理单元的关键面积 A_{pe} 、每一个功能块中支撑电路的关键面积 A_{sc} 和整个系统的支撑电路 A_{sc} 分别代入公式(6)就可以分别得到每一个处理单元正常工作概率 p 、每一个功能块中支撑电路成品率 y_{si} 和整个系统中支撑电路的成品率 y_s .

另外, 在公式(6)中, 还有参数平均缺陷密度 D 需要给出, 它是由生产给定电路的工艺线决定, 一般可以通过统计平均得到.

4 实验与分析

为了对冗余电路成品率的传统模型和改进模型作比较, 对一个 4×4 的阵列处理器利用 XD-YES 进行模拟分析. 假设该阵列处理器是由 4 个相同的功能块组成, 每个功能块由 4 个相同的处理单元和 1 个冗余单元组成. 如图 1 所示. 由前述可知, 该阵列处理器要正常工作, 4 个功能块都必须处于正常工作状态; 要每一个功能块正常工作, 包括冗余单元在内的 5 个处理单元中至少要有 4 个处于正常工作状态. 除此以外, 还要求每一个功能块中支撑电路和每一个功能块之间的支撑电路正常工作.

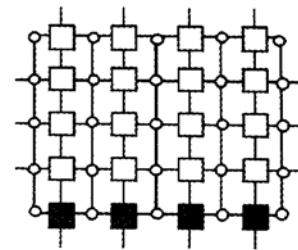


图 1 有冗余的 4×4 阵列处理器 □: 处理单元; ■: 冗余单元

Fig. 1 4×4 array processors with tolerant elements □: Processing element; ■: Tolerant elements

在用 XD-YES 进行模拟时, 取图 2 所示的 4×4 移位寄存器作为图 1 中的处理单元, 那么对应于图 1 而应用于模拟过程中版图应是一个 20×16 移位寄存器, 如图 3 所示. 在模拟过程中取图 3 中的前 4 行对应于图 1 中的 4×4 阵列处理器, 第 5 行对应于图 1 中的冗余单元. 整个模拟过程中选取金属线条宽度为 $4 \mu\text{m}$, 间距为 $6 \mu\text{m}$, 假设丢失物开路缺陷和冗余物短路缺陷具有同样的粒径分布, 峰值粒径 $R_0 = 3.0 \mu\text{m}$, $n = 3.0$.

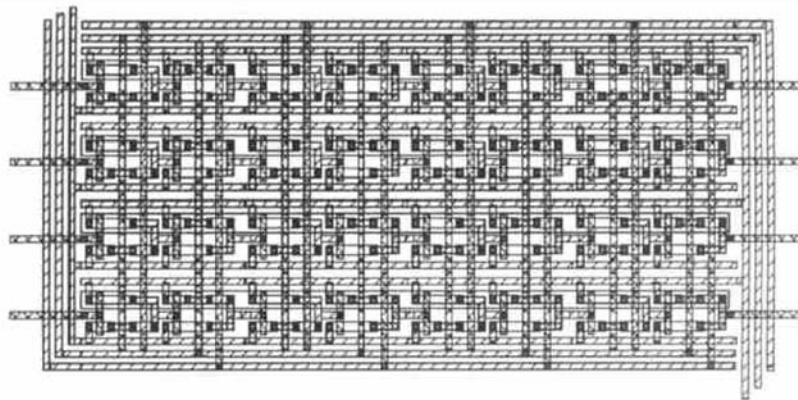


图 2 4×4 移位寄存器版图单元

Fig. 2 Layout element of 4×4 shift register

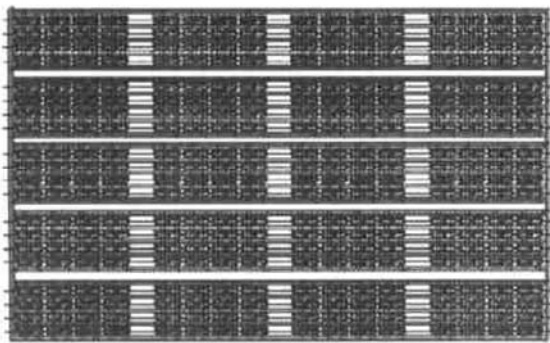


图 3 模拟中应用的 20×16 移位寄存器

Fig. 3 20×16 shift register used to simulation

图 4 给出了传统模型与改进模型的成品率模拟结果的比较. 从图中可以看出, 加入冗余单元对成品率有明显的改善, 这也是设计时加入冗余单元的目的所在. 从图 4 中还可以看出, 在同一个缺陷密度下, 传统的分析方法得到的成品率要高于改进模型

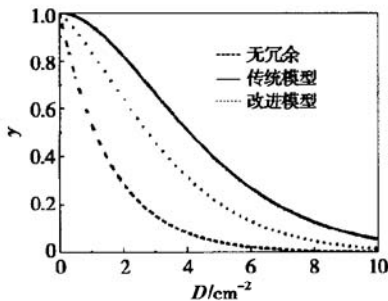


图 4 不同成品率模型的比较

Fig. 4 Comparison with different models

所得到的成品率, 其原因是传统的分析方法中没有考虑系统中支撑电路引起成品率下降的这个因素. 事实上, 系统的支撑电路一旦出现故障必然导致整

个系统的失效, 从而导致 IC 成品率的下降.

前述已知, 在估计芯片成品率时, 有人用公式 (5) 在 $k=0$ 时来计算, 这是不对的. 为了说明用公式 (5) 和公式 (6) 计算 IC 成品率的差异, 图 5 和图 6 分别给出了用公式 (5) 和公式 (6) 计算单元成品率时用改进模型、传统的成品率模型模拟系统成品率所得到的结果. 从图 5 和图 6 均能看出, 无论是传统的成

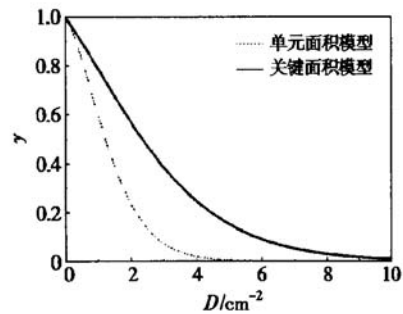


图 5 单元面积和关键面积用于改进模型时成品率比较

Fig. 5 Yield comparison with element area and critical area of improved model

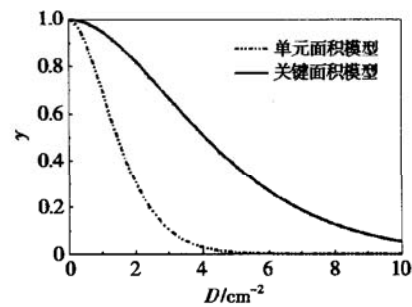


图 6 单元面积和关键面积用于传统模型时成品率比较

Fig. 6 Yield comparison with element area and critical area of traditional model

品率模型还是改进的成品率模型,用公式(5)计算得到的单元成品率用于模拟 IC 成品率总是低于用公式(6)计算得到的单元成品率用于模拟 IC 的成品率.这是因为落在一个单元上的缺陷并非都能导致该单元失效,只有落在该单元的关键面积中的缺陷才可能造成单元失效.因此,在 $k=0$ 时用公式(5)计算得到的单元成品率低于用公式(6)计算得到的单元成品率.

5 结论

本文分析了传统的冗余电路成品率模型的不足,利用 IC 关键面积的概念对冗余电路的成品率进行了分析,并给出了计算冗余电路成品率的新模型.该模型中不但考虑了系统中每个处理单元的成品率对系统成品率的影响,同时也考虑了系统中支撑电路对整个系统成品率的影响.实例模拟结果表明,在同一个缺陷密度下,用传统模型去估计 IC 的成品率所得到的结果高于用本文给出的模型去估计 IC 的成品率所得到的结果,其原因是传统模型中没有考虑系统中支撑电路对系统成品率的影响.从模拟结果还可以看出,用一个单元面积去预测一个单元的成品率其结果总是低于用一个单元的关键面积预测单元的成品率,其原因是当用单元面积去预测单元成品率时相当于认为只要缺陷落在这个单元上就能造成该单元失效.实际上,并非所有落在单元上的缺陷都能造成单元故障.只有落在单元关键区域中的缺陷才能造成电路故障,从而造成电路功能成品率的下降.

参考文献

- [1] Hao Yue. Theoretics and research of integrated circuit manufacturability dynamics. Beijing: Beijing Educational Publisher, 1995: 93[郝跃. 集成电路制造动力学理论与研究. 北京: 北京教育出版社, 1995: 93]
- [2] Chen Y Y, Upadhyaya S J. Yield analysis of reconfigurable array processors based on multiple-level redundancy. IEEE Trans Comput, 1993, 42(9): 1136
- [3] Zhao Tianxu, Hao Yue, Ma Peijun. An effectual IC's yield estimation model. Chinese Journal of Semiconductors, 2002, 23(2): 198[赵天绪, 郝跃, 马佩军. 一种有效的 IC 成品率估算模型. 半导体学报, 2002, 23(2): 198]
- [4] Zhao Tianxu, Hao Yue, Jiao Yongchang. VLSI yield optimization based on the redundancy at sub-processing-element level. IEICE Trans Inf Syst, 2001, 84(9): 1471
- [5] Zhao Tianxu, Hao Yue, Zhou Shuisheng. Using the genetic algorithms to solve the problem of optimal spare allocation for fault-tolerance VLSI. Journal of Electronics and Information Technology, 2001, 23(1): 96[赵天绪, 郝跃, 周水生. VLSI 冗余单元最优分配的遗传算法求解. 电子与信息学报, 2001, 23(1): 96]
- [6] Stapper C H. Defect density distribution for LSI yield calculations. IEEE Trans Electron Devices, 1973, 20(7): 655
- [7] Ma Peijun, Hao Yue, Kou Yun. An improved computational model and method of VLSI critical area. Chinese Journal of Semiconductors, 2001, 22: 1212[马佩军, 郝跃, 寇芸. 一种改进的 VLSI 关键面积计算模型和方法. 半导体学报, 2001, 22: 1212]
- [8] Allan G A. Yield prediction by sampling IC layout. IEEE Trans Comput-Aided Des Integr Circuits Syst, 2000, 19(3): 359

Analysis of Redundant Integrated Circuit Yield Based on Critical Area*

Zhao Tianxu^{1,2}, Duan Xuchao², Ma Peijun¹ and Hao Yue¹

(1 *Microelectronic Institute, Xidian University, Xi'an 710071, China*)

(2 *Computation and Information Institute, Baoji College of Arts and Sciences, Baoji 721007, China*)

Abstract: Yield of the redundant circuit is analyzed with IC critical area and the computational model of this redundant circuit is given. The simulation results of an example show that the precision is higher using the presented model to predict IC yield than using the traditional yield model.

Key words: critical area; fault; yield; defect

EEACC: 1130B; 0240G; 2220C

Article ID: 0253-4177(2003)05-0544-06

* Project supported by National Science and Technology Program and Scientific Research Program of Shanxi Educational Department (No. 02JK194)

Zhao Tianxu male, was born in 1964, associated professor. His research interests are in IC manufacturability design and IC fault-tolerant.

Received 17 June 2002, revised manuscript received 28 October 2002

©2003 The Chinese Institute of Electronics