

SOC 布图设计中的互连优化算法*

王一博 蔡懿慈 洪先龙

(清华大学计算机科学与技术系, 北京 100084)

摘要: 使用 Elmore 时延模型, 对二端连线的缓冲器插入方法进行了详细的讨论. 给出了最小时延下, 缓冲器的最佳数量和位置; 同时给出了在一定时延约束条件下的缓冲器的最小数量及位置; 并在典型的 $0.18\mu\text{m}$ 工艺参数条件下进行了测试. 测试结果显示, 缓冲器插入方法可以显著地减小线上的时延, 而且缓冲器的数目将随着时延约束的放宽而迅速下降. 当时延约束仅比最优时延多 5% 时, 插入的缓冲器数目就降到了最佳缓冲器数的 70% 左右, 这一结果对缓冲器插入算法具有普遍的指导意义.

关键词: 缓冲器插入; Elmore 时延模型; SOC

EEACC: 7410D; 5120

中图分类号: TN47

文献标识码: A

文章编号: 0253-4177(2003)05-0550-06

1 引言

随着集成电路制造技术的不断进步, 芯片的特征尺寸不断缩小, 集成度不断提高, 使得制造系统级芯片(SOC, system on a chip)成为可能. 然而, 芯片中互连线的寄生效应也越来越显著, 并且成为影响电路性能的关键因素之一. 在这种情况下, 必须对集成电路中的互连线进行有针对性的性能驱动的优化. 缓冲器插入(buffer insertion)方法是其中比较有效的方法之一.

Cong 等人^[1]指出, 在 50nm 工艺下, 一个芯片中需要插入 80 万个缓冲器以满足电路时延的要求. 如此多的缓冲器的插入将对布局结果造成一定的影响. 为此, 在满足时延约束的条件下, 需要尽量减少插入缓冲器的数量. 在二端连线中插入缓冲器是基本的缓冲器插入问题; 对于多端线网, 目前常用的办法是将其拆分成多个二端线网. 因此, 对二端连线缓冲器插入问题的研究具有一定的理论指导意义. Van Ginneken^[2]针对缓冲器插入问题提出了 DP 算

法, 该算法在布局结果的基础上, 在给定的线网中插入缓冲器. Cong 等人^[1]提出了通过利用和扩大芯片布局中的“死区”来插入缓冲器的算法. 他们都是将多端线网拆成两端线网进行优化. 最近, Alpert 等人^[3]提出了在具有多个漏点的“困难”线网上插入缓冲器的算法. 本文基于 Elmore 时延模型, 对二端连线的缓冲器插入问题进行了理论和实验的进一步讨论. 给出了最小时延下, 缓冲器的最佳数量和位置; 同时给出了在一定时延约束条件下的最少缓冲器数量及位置.

2 基本原理

缓冲器(buffer)一般由两个反相器(inverter)串联而成(如图 1 所示). 每级反相器的尺寸应满足 Lin-Linholm 定理^[4]. 它在逻辑上不承担任何功能, 而仅仅为增强长连线的驱动能力和减少线上时延而设计.

我们使用 Elmore 模型来说明缓冲器插入方法的基本原理. 对于一个线长为 L 的二端连线, 如图 2

* 国家自然科学基金资助项目(批准号: 60176016)

王一博 男, 硕士研究生, 目前从事 VLSI 的互连线优化算法研究.

蔡懿慈 女, 副教授, 目前从事 VLSI 布图理论和算法的研究.

洪先龙 男, 教授, 博士生导师, 目前从事 VLSI 布图理论、算法和系统的研究.

2002-07-02 收到, 2002-11-26 定稿

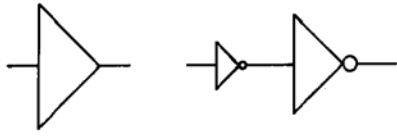


图 1 缓冲器的符号表示和内部逻辑

Fig. 1 Symbol and logic circuit of a buffer

的上图所示, 从源到漏的时延可以表示为:

$$T_1 = \frac{1}{2}rcL^2 + (rC_L + cR_d)L + C_L R_d \quad (1)$$

可见, 连线的时延是线长 L 的二次函数. 当电路规模增大时, 长连线会越来越多, 线上时延随线长的增长而迅速增长. 这就是为什么当今 VLSI 电路中连线时延在整个路径时延中的比重越来越大的原因.

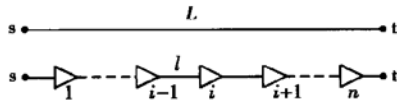


图 2 缓冲器插入方法的基本原理

Fig. 2 Basic principle of buffer insertion method

假设我们每隔距离 l 插入一个缓冲器, 如图 2 的下图所示, 则一共要插入 $n = \lfloor L/l \rfloor$ 个缓冲器. 这时从源到漏的时延可以表示为:

$$T_2 = t_s + (n - 1)t_l + t_t = \left\lfloor \frac{L}{l} \right\rfloor t_l + t_s + t_t - t_l \quad (2)$$

其中 t_s, t_t 分别为从源到第一个缓冲器以及最后一个缓冲器到漏的连线时延; t_l 为两个缓冲器之间的时延.

由(2)式可见, 当固定 l 不变时, 连线的时延与缓冲器的个数 n 成正比, 也就是与线长 L 成正比. 当 L 充分大时, 必有 $T_2 < T_1$, 这样就达到了减小连线时延的目的.

3 插入单个缓冲器

首先考虑一个最简单的情形, 在长为 l 的连线上插入一个缓冲器, 使得总时延满足给定的时延约束 T_{req} , 如图 3 所示.

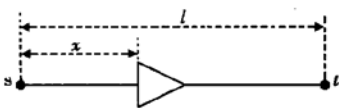


图 3 插入单个缓冲器

Fig. 3 Single buffer insertion

表 1 符号表

Table 1 Symbols

符号	意义	典型值
r	单位线长电阻	7.50×10^4
c	单位线长电容	1.18×10^{-10}
R_d	源端驱动电阻	1.80×10^2
C_L	负载电容	2.34×10^{-14}
R_b	缓冲器驱动电阻	1.80×10^2
C_b	缓冲器负载电容	2.34×10^{-14}
T_b	缓冲器内部时延	3.64×10^{-11}

设在距源点 x 处插入一个缓冲器, 则插入缓冲器后的时延 T 为:

$$T = R_d(cx + C_b) + \frac{1}{2}rcx^2 + rx C_b + T_b + R_b[c(l-x) + C_L] + \frac{1}{2}rc(l-x)^2 + r(l-x)C_L$$

将上述公式加以整理, 得到:

$$T = rcx^2 - [(R_b - R_d)c + r(C_L - C_b) + rcl]x + R_d C_b + T_b + R_b(C_L + cl) + \frac{1}{2}rcl + r l C_L \quad (3)$$

这是一个关于 x 的二次方程. 一般地, 当 $x = \frac{l}{2} + \frac{R_b - R_d}{2r} + \frac{C_L - C_b}{2c}$ 时, T 将取得最小值.

如果以 x/l (即归一化长度) 作为变量, 做出 T 的函数曲线, 可以得到如图 4 所示的几种典型情况.

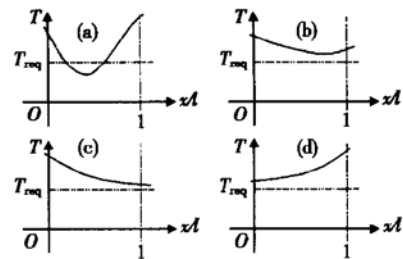


图 4 几种典型的情况

Fig. 4 Typical instances

同时做出时延约束 $T = T_{req}$ 的图象, 我们要求至少当 x 处在一个取值区间时, 连线的时延能够满足时延约束, 即 $T < T_{req}$.

对于图 4(a) 的情况, 当在合适的位置区间插入一个缓冲器时, 有 $T < T_{req}$, 即满足时延约束, 达到了目的.

对于图 4(b) 的情况, 不管在什么位置插入缓冲器, 都无法满足时延约束. 造成这种情况的原因主要有以下两种:

- (1) 连线过长, 插入一个缓冲器仍无法满足时

延约束;

(2) 缓冲器的内部时延过长, 主要时延从线上时延转移到缓冲器内部时延上.

这种情况一般可以通过插入多个缓冲器或者选择其他内部时延小的缓冲器来解决.

对于图 4(c) 和图 4(d) 的情况, 我们发现, 函数的极小值出现在(0, 1) 区间之外. 通过观察二次函数极值点的表达式 $\frac{x}{l} = \frac{1}{2} + \frac{R_b - R_d}{2rl} + \frac{C_L - C_b}{2cl}$ 不难判断, 这是由于缓冲器的负载电容和驱动电阻与原来电路的负载电容和驱动电阻不匹配造成的. 解决问题的方法就是选择其他匹配的缓冲器.

如果源漏不在一条曼哈顿直线上, 得到的最佳位置将随着走线形状的改变而改变. 这些最佳位置点形成了一条 $\pm 45^\circ$ 的斜线, 如图 5 所示.

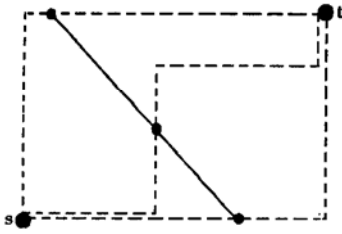


图 5 源漏不在一条曼哈顿直线上

Fig. 5 Source and drain on different Manhattan line

4 插入多个缓冲器

4.1 最佳缓冲器数

插入缓冲器可以使连线的时延缩短, 但是由于缓冲器具有负载电容和输出电阻, 而且信号通过缓冲器内部也需要一定的时延, 因此, 过多地插入缓冲器不但不能降低线上的时延, 反而有可能使时延增加. 我们首先关心的是, 对于一条给定的两端连线, 插入多少个缓冲器才能使连线的时延达到最小.

由文献[5]得到, 在两端线网上插入 k 个缓冲器时, 所能得到的最优时延为:

$$T_k = \frac{rl(kC_b + C_L) + cl(R_d + kR_b)}{k + 1} + \frac{(kC_b + C_L)(kR_b + R_d)}{k + 1} + kT_b + \frac{rcl^2 - \frac{kr(C_b - C_L)^2}{c} - \frac{kc(R_b - R_d)^2}{r}}{2(k + 1)} \quad (4)$$

假设当插入 n 个缓冲器时, 可以使连线时延达到最小值 $T_n = T_{opt}$. 显然, 当再加入一个缓冲器时, 时延将不但不能减小, 反而要增加, 即

$$T_n < T_{n+1}$$

将(4)式代入到上式中, 加以整理, 可以得到关于 n 的二次不等式:

$$K_1 n^2 + K_2 n + K_3 > 0 \quad (5)$$

其中

$$K_1 = R_b C_b + T_b$$

$$K_2 = 3K_1$$

$$K_3 = 2T_b + C_b R_b + C_b R_d + C_L R_b - C_L R_d$$

$$+ (C_b - C_L)rl + cl(R_b - R_d) - \frac{1}{2}rcl^2 - \frac{1}{2} \left[\frac{r}{c}(C_b - C_L)^2 + \frac{c}{r}(R_b - R_d)^2 \right]$$

令 $Q = K_1 n^2 + K_2 n + K_3$, 画出 $Q(n)$ 的图象, 如图 6 所示. 从中可以得到, 满足 $Q(n) > 0$ 的最小缓冲器数量, 即最佳缓冲器数是:

$$n = \left\lceil \frac{-K_2 + \sqrt{K_2^2 - 4K_1 K_3}}{2K_1} \right\rceil = \left\lceil -\frac{3}{2} + \sqrt{\frac{9}{4} + \frac{K_3}{K_1}} \right\rceil \quad (6)$$

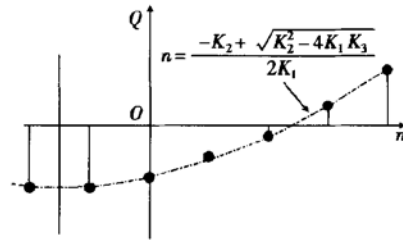


图 6 最佳缓冲器数

Fig. 6 Optimal number of buffers

4.2 时延约束下的最小缓冲器数

在更多的情况下, 我们并不需要使时延最小化, 而需要在满足给定的时延约束的条件下, 尽量减小插入缓冲器的数量. 下面讨论如何确定这个最小缓冲器的数量.

要满足时延约束, 即 $T_k < T_{req}$, 将(4)式代入到这个不等式中, 加以整理即可得到关于 k 的不等式:

$$K_4 k^2 + K_5 k + K_6 < 0 \quad (7)$$

其中

$$K_4 = R_b C_b + T_b$$

$$K_5 = (rC_b + cR_b)l + T_b + R_d C_b + R_b C_L - T_{req}$$

$$- \frac{r}{2c}(C_b - C_L)^2 - \frac{c}{2r}(R_b - R_d)^2$$

$$K_6 = \frac{1}{2}rcl^2 + (rC_L + cR_d)l + R_d C_L - T_{req}$$

利用上节的方法, 令 $Q = K_4 k^2 + K_5 k + K_6$, 做出 $Q(k)$ 的图象, 如图 7 所示, 得到满足时延约束的最小的 k 是:

$$k_{\min} = \left\lceil \frac{-K_5 - \sqrt{K_5^2 - 4K_4 K_6}}{2K_4} \right\rceil \quad (8)$$

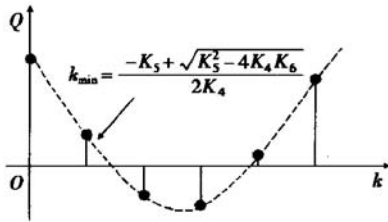


图 7 满足时延约束的最小缓冲器数

Fig. 7 Minimum number of buffers under given delay constraint

4.3 缓冲器的最佳位置

根据(4)式, 还可以计算出缓冲器的最佳位置. 如图 2 下图所示, 假设在 n 个缓冲器中, 第 1 到第 $i-1$ 和第 $i+1$ 到第 n 个缓冲器已经在最佳位置上了, 现在我们要找出第 i 个缓冲器的最佳位置. 设第 i 个缓冲器在距源点 x_i 处, 则可以计算出此时整个连线的时延为:

$$T = T_{i-1}(x_i) + T_b + T_{n-i}(l - x_i)$$

其中 $T_{i-1}(x_i)$ 表示第 i 个缓冲器之前的时延;

$T_{n-i}(l - x_i)$ 表示第 i 个缓冲器之后的时延;

T_b 表示第 i 个缓冲器的内部时延.

将(4)式代入上式, 并化简, 可以得到关于 x_i 的二次式:

$$T = K_7 x_i^2 + K_8 x_i + K_9 \quad (9)$$

其中

$$K_7 = \frac{(n+1)rc}{2i(n-i+1)}$$

$$K_8 = \frac{(R_d - R_b)c}{i} + \frac{r(C_b - C_L) + rcl}{n-i+1}$$

K_9 的表达式十分复杂, 而且在后面的计算中没有用到, 因此就不列出来了.

由上式易得, 当

$$x_i = \frac{R_b - R_d}{r} + \left[\frac{rcl + r(C_L - C_b) + (R_d - R_b)c}{(n+1)rc} \right] i \quad (10)$$

时, 连线的时延最小.

由(10)式还可以知道, 当缓冲器的尺寸一致时, 缓冲器之间的间隔

$$\Delta x = x_{i+1} - x_i = \frac{rcl + r(C_L - C_b) + (R_d - R_b)c}{(k+1)rc}$$

是一个不随 i 变化的常数, 也就是说, 各个缓冲器之间是等距的.

一个典型的例子示意图如图 8 所示. 可见, 缓冲器的最佳位置在多数情况下是一组 $\pm 45^\circ$ 的直线.

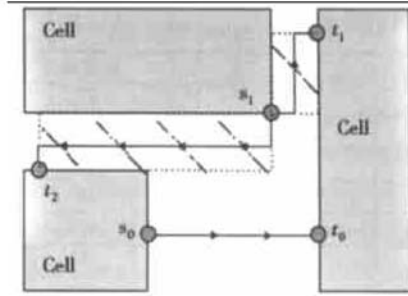


图 8 一个典型的例子

Fig. 8 Typical example

5 实验结果

5.1 电路例子的基本信息

测试用例子来自文献[5]. 其基本参数如表 2 所示, 其中 INS# 表示单元实例数量, PAD# 表示压焊块数量, Net# 表示线网总数, 2-pin net# 表示将多端线网拆分成二端线网的总数. 测试所用的工艺参数见表 2.

表 2 测试例子的基本信息

Table 2 Test circuit statistics

电路名称	面积/ μm^2	INS#	PAD#	Net#	2-pin net#
a9c3	10388 × 11762	147	22	1202	1530
ac3	13422 × 11036	27	75	215	416
ami33	10560 × 13220	33	42	123	343
ami49	11480 × 13220	49	22	408	475
apte	18882 × 10028	9	73	97	136
hc7	11340 × 6162	77	51	449	1176
hp	12610 × 18910	11	45	83	195
xc5	9278 × 10944	50	2	1007	1859
xerox	20230 × 25230	10	2	203	356

5.2 最佳缓冲器数

根据(6)式计算每个二端线网的最佳缓冲器数, 并计算插入缓冲器前后电路性能的改善情况. 电路

性能的改善定义为原始时延的平均值 $\overline{T_{init}}$ 与最优时延的平均值 $\overline{T_{opt}}$ 之比:

$$I = \frac{\overline{T_{init}}}{\overline{T_{opt}}}$$

测试的结果见表 3. 由测试数据可见, 插入缓冲器以后, 电路的性能有了不同程度的提升, 而且电路规模越大, 性能提升的幅度越大. 其中最大的电路 xerox 的性能提升达到了 230%.

表 3 最小时延下最佳缓冲器数

Table 3 Optimal number of buffers

电路名称	缓冲器数	性能提升		
		$\overline{T_{init}}$	$\overline{T_{opt}}$	I/%
a9c3	2475	508	354	143
ac3	748	561	379	148
ami33	631	586	385	152
ami49	962	648	410	158
apte	239	593	384	155
hc7	1179	993	544	182
hp	569	1030	550	187
xc5	2874	474	339	140
xerox	1605	1840	800	230

表 4 满足时延约束的最小缓冲器数

Table 4 Minimum number of buffers under delay constraints

电路名称	Ratio= 105%		Ratio= 110%		Ratio= 120%	
	缓冲器数	缓冲器个数与最佳个数之比/%	缓冲器数	缓冲器个数与最佳个数之比/%	缓冲器数	缓冲器个数与最佳个数之比/%
a9c3	1818	73.45	1423	57.49	960	38.79
ac3	556	74.33	428	57.22	272	36.36
ami33	442	70.05	361	57.21	243	38.51
ami49	682	70.89	550	57.17	370	38.46
apte	185	77.41	142	59.41	88	36.82
hc7	857	72.69	596	50.55	405	34.35
hp	400	70.30	316	55.54	242	42.53
xc5	2044	71.12	1646	57.27	1153	40.12
xerox	1144	71.28	906	56.45	681	42.43

6 结论

通过上面的理论分析和实验结果, 我们可以得到以下几点结论:

- (1) 缓冲器插入方法是一个有效的降低连线时延的方法;
- (2) 缓冲器的尺寸须与连线的驱动电阻和负载电容相匹配;
- (3) 适当的插入多个缓冲器可以使时延进一步缩短从而满足时延约束;

5.3 时延约束下的最小缓冲器数

使用 (8) 式来计算满足时延约束 T_{req} 的最小缓冲器数. 时延约束是这样确定的: 首先计算出每个二端线网的最小时延 T_{opt} , 然后把这个时延值增加一定的比例, 比如增加 10%, 作为这个线网的时延约束, 即

$$T_{req} = \text{Ratio} \times T_{opt}$$

分别令 Ratio= 105%、110%、120%, 测试所得的结果如表 4 所示.

从上面的数据可以看出, 随着时延约束的逐渐放宽, 缓冲器的数目也随之下降. 但是两者不是成比例变化的. 缓冲器的数目将随着时延约束的放宽而迅速下降. 当时延约束 T_{req} 仅比最优时延 T_{opt} 多 5% 时, 插入的缓冲器数目就降到了最佳缓冲器数的 70% 左右. 也就是说, 增加另外 30% 的缓冲器, 也只能将电路性能提高 5% 左右. 如果我们舍弃这 5% 的性能, 将节约接近三分之一的缓冲器, 这将大大有利于减小芯片面积, 提高布线布通率, 降低芯片功耗.

- (4) 插入尽量多的缓冲器, 使时延最小化是得不偿失的, 放弃 5% 的性能将使缓冲器的数目减少到 70% 左右.

参考文献

- [1] Cong J, Kong Tianming, Pan Zhigang. Buffer block planning for interconnect planning and prediction. IEEE Trans Very Large Scale Integr (VLSI) Syst, 2001, 9(6): 929
- [2] Van Ginneken L P P P. Buffer placement in distributed RC-tree networks for minimal Elmore delay. Proc Int Symp Circuits and Systems, 1990: 865

- [3] Sullivan A J, Alpert C J, Gandham G, et al. Buffered Steiner trees for difficult instances. *IEEE Trans Comput-Aided Des Integr Circuits Syst*, 2002, 21(1): 4
- [4] Lin H C, Linholm L W. An optimized output stage for MOS integrated circuits. *IEEE J Solid-State Circuits*, 1975, SC-10: 106
- [5] Alpert C, Devgan A. Wire segmenting for improved buffer insertion. *Design Automation Conference*, 1997: 588
- [6] http://cadlab.cs.ucla.edu/~kongtm/bbp_test.tar.gz

An Interconnect Optimization Algorithm in SOC Layout Design*

Wang Yibo, Cai Yici and Hong Xianlong

(*Department of Computer Science & Technology, Tsinghua University, Beijing 100084, China*)

Abstract: An algorithm for buffer insertion with 2-pin nets under Elmore delay model is provided. The theoretical conclusion of optimal number of buffers and their best locations under minimized delay are presented, and the minimum number of buffers under given delay constraint as well. The algorithm is tested under 0.18 μ m technique. Experimental results indicate that the buffer insertion method can reduce the interconnect delay significantly, and that the number of buffers decreases quickly with the relaxation of delay constraint. Even under 5% delay constraint relaxation, the minimum number of buffers decreases to 70% of the best number of buffers.

Key words: buffer insertion; Elmore delay model; SOC

EEACC: 7410D; 5120

Article ID: 0253-4177(2003)05-0550-06

* Project supported by National Natural Science Foundation of China(No. 60176016)

Wang Yibo male, master candidate. His research interests focus on interconnect optimization algorithms of VLSI.

Cai Yici female, associate professor. She is engaged in the research on layout and algorithm of VLSI.

Hong Xianlong male, professor. He is engaged in the research on layout, algorithm, and system of VLSI.

Received 2 July 2002, revised manuscript received 26 November 2002

©2003 The Chinese Institute of Electronics