

超深亚微米 PMOSFET 器件的 NBTI 效应*

韩晓亮 郝 跃

(西安电子科技大学 微电子研究所, 西安 710071)

摘要: 研究了超深亚微米 PMOS 器件中的 NBTI(负偏置温度不稳定性)效应,通过实验得到了 NBTI 效应对 PMOSFET 器件阈值电压漂移的影响,并得到了在 NBTI 效应下求解器件阈值电压漂移的经验公式.分析了影响 NBTI 效应的主要因素:器件栅长、栅穿通效应和栅氧氮化以及其对器件寿命退化的作用.给出了如何从工艺上抑制 NBTI 效应的方法.

关键词: 超深亚微米; NBTI 效应; 可靠性

EEACC: 0170N; 2560R; 2570D

中图分类号: TN386

文献标识码: A

文章编号: 0253-4177(2003)06-0626-05

1 引言

负栅压偏置不稳定性(NBTI, negative bias temperature instability)效应,是影响 MOS 器件可靠性的重要因素. NBTI 现象很早就被发现,但在过去的几十年中,由于器件尺寸相对较大和工艺上的不断进步, NBTI 效应对器件可靠性的影响并未得到足够的重视. 随着 VLSI 技术向超深亚微米方向的迅速发展,器件沟道长度和栅氧厚度不断缩小,在对超深亚微米器件可靠性的影响中,由 NBTI 效应引发的 PMOSFET 退化逐渐成为影响器件寿命的主要因素,它比由沟道热载流子效应(CHC)引发的 NMOSFET 寿命退化更为严重^[1].

深亚微米器件的 CHC 等效应的研究已比较深入,但对于 NBTI 效应则研究得较少. NBTI 效应是在高温下(通常 > 100°C)对 PMOSFET 栅极加较大的负栅压偏置所造成的,表现为阈值电压漂移 ΔV_{th} 不断增大,亚阈值斜率不断减小等器件参数的变化,随着时间的增加将最终导致器件的失效^[2]. 而 V_{th} 等器件参数对模拟和混合电路应用尤其重要,许多高精度的模拟电路如数模变换和比较器等,在电路的

工作期间要求特别稳定的 V_{th} . 因此超深亚微米 PMOSFET 中 NBTI 效应的研究成为目前可靠性研究的一个新的热点.

本文首先深入论述了 NBTI 效应对器件 V_{th} 退化的作用,并得到了求解 ΔV_{th} 的经验公式,然后分析了影响 NBTI 效应的几个主要因素和其对器件寿命的作用. 通过对这些因素的分析,提出了从工艺上如何改进和抑制 NBTI 效应的方法.

2 超深亚微米 PMOSFET 中 NBTI 效应对 V_{th} 的影响

实验样品主要采用了硅栅 CMOS 工艺加工的沟道长度 L 为 $0.25\mu\text{m}$ 的 PMOSFET 器件,沟道宽度 W 为 $10\mu\text{m}$,栅氧厚度 T_{ox} 为 7nm . 为了测试沟道长度 L 对 NBTI 效应的影响,同时还制作了 $0.35\mu\text{m}$, $0.5\mu\text{m}$, $0.8\mu\text{m}$, $1.0\mu\text{m}$ 等沟道长度的 PMOSFET,器件 W/L 比为 40. 多晶硅栅采用 P^+ 注入以得到表面沟道晶体管. NBTI 效应尤其对在模拟应用中的 PMOS 器件的阈值电压有很大的影响,因此在本文中主要研究了在 NBT 应力作用下器件阈值电压漂移 ΔV_{th} 表征的器件退化.

* 国家自然科学基金(批准号: 60206006)和军事重大预研(No. 41308060305)资助项目

韩晓亮 男, 1976 年出生, 博士研究生, 主要从事 MOS 器件可靠性研究.

郝 跃 男, 1958 年出生, 教授, 博士生导师, 主要从事 IC 可靠性、可制造性、设计方法学以及半导体新器件及电路研究.

2002-06-10 收到, 2002-11-26 定稿

©2003 中国电子学会

图 1 是 NBTI 应力前后 ΔV_{th} 与应力时间的关系. 从图中可以看出, ΔV_{th} 与应力时间的关系可以近似为指数关系, 即 $\Delta V_{th} = Ct^n$, C 为常数, 指数 n 大约为 0.25, $t^{0.25}$ 的这个关系表明 P^+ 栅 PMOSFET 中的 NBTI 效应是由扩散反应所控制的^[3], 这个扩散反应是由于在 Si/SiO_2 界面处的 $Si_3 \equiv Si-X$ 和 $O_3 \equiv Si-Y$ 和硅表面热空穴之间的反应造成的, X 可以是氢和硼, 反应产物为界面态和正氧化层固定电荷以及中性物质 Y , 反应发生过程中中性物质 Y 从界面处向体二氧化硅扩散. 在 NBTI 效应发生后, 其形成的界面态密度 N_{it} 等于反应产物三价硅悬挂键 $Si_3 \equiv Si^{\cdot}$, 固定氧化层电荷密度 N_f 等于反应产物 $O_3 \equiv Si^{\cdot}$, 而这二者正是造成 ΔV_{th} 和其他参数变化的主要因素, 随着时间的累积器件发生退化乃至失效.

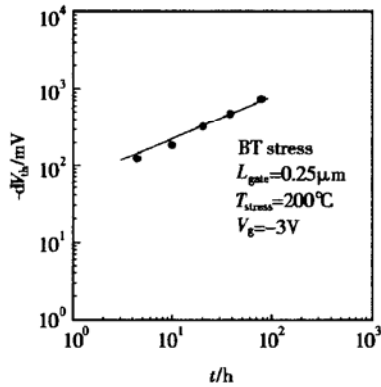


图 1 不同应力时间下的阈值电压漂移 ΔV_{th}

Fig. 1 Threshold voltage shift with NBTI stress time

在 NBT 应力后栅电流发生了增加, 如图 2 所示. 栅电流的增加可能是由于在应力期间形成了中性的氧化层陷阱, 这些氧化层陷阱造成了来自衬底的空穴隧穿电流和来自栅极导带的电子隧穿电流. 图 3 是应力前后的 I_d-V_g 特性曲线, 它表明在施加 NBT 应力后产生了负的阈值电压的漂移和漏电流的减小, 这是由于界面态和正氧化层固定电荷的产生所造成的影响.

图 4 和图 5 分别给出了 ΔV_{th} 与温度的倒数和氧化层电场 (E_{ox}) 的关系. 从图 4 中 ΔV_{th} 与 $1/T$ 的关系中可以提取出 NBTI 的激活能为 0.34eV. 从对图 5 曲线的分析可以得到, 氧化层电场和 ΔV_{th} 的关系可以近似为指数关系, 其指数值为 2.96. 在 NBTI 效应中, 阈值电压随温度的变化是由于扩散系数随温度的变化而变化, 更高的氧化层电场增强了反应

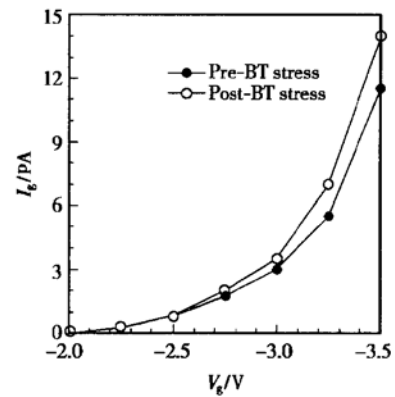


图 2 应力前后的 I_g-V_g 特性

Fig. 2 Comparison of I_g-V_g characteristic before and after NBTI stress

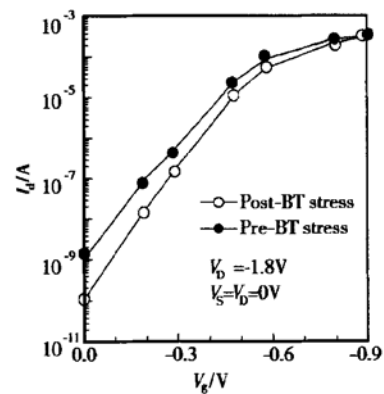


图 3 应力前后的 I_d-V_g 特性

Fig. 3 Comparison of I_d-V_g characteristic before and after NBTI stress

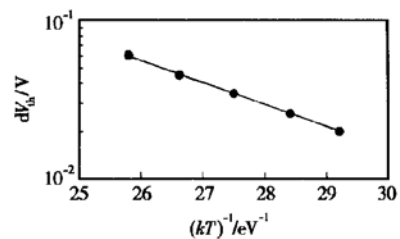


图 4 阈值电压漂移与 $1/T$ 关系曲线

Fig. 4 Dependence of threshold voltage shift with $1/T$

产物的漂移和电化学反应. 综合以上实验结果和分析, 我们可以得到一个关于阈值电压漂移的经验公式:

$$\Delta V_{th} = A E_{ox}^m t^n (D)^p \propto E_{ox}^{2.96} t^{0.37} \exp(-0.34/k_B T) \quad (1)$$

$$D = D_0 \exp(-E_A/k_B T) \quad (2)$$

其中 E_{ox} 是氧化层电场; D 是有效扩散系数; k_B 是玻耳兹曼常数. 在 NBTI 效应下由 V_{th} 变化(通常 $\Delta V_{th} = 10mV$) 和 G_m (通常 $\Delta G_m/G_{m0} = 10\%$) 退化决定的器件寿命是不同的, 由于用 ΔV_{th} 确定的器件寿命比 G_m 退化所确定的器件寿命要短^[4], 所以在研究 NBTI 对 PMOSFET 的影响中, 一般主要考虑器件的阈值电压变化的影响. 从经验公式中也可以看出, NBTI 效应中由 ΔV_{th} 确定的器件寿命与应力温度的关系十分密切, 如果工作温度超过 $100^\circ C$, 工作电压超过 $-1V$, 那么器件寿命想达到 10 年几乎是不可能的.

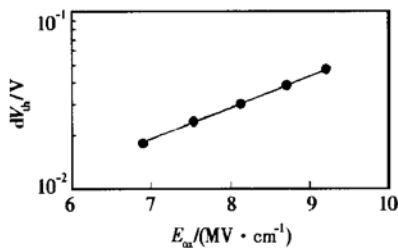


图 5 阈值电压漂移与 E_{ox} 关系曲线

Fig. 5 Dependence of threshold voltage shift with E_{ox}

3 影响超深亚微米器件 NBTI 效应的主要因素

3.1 NBTI 效应与器件栅长的关系

图 6 是 PMOSFET 中栅长 L_{gate} 与 NBTI 的关系. 从图中可以看出, 栅长越短, ΔV_{th} 的漂移越大. 与栅长的依赖关系表明 NBTI 效应沿沟道方向上是不均匀分布的, 这种退化分布的不一致, 是由于氧化层固定电荷 ΔN_f 和界面态 ΔN_{it} 在空间的分布不同造成的. 与沟道中间位置相比来说, ΔN_f 和 ΔN_{it} 在栅边缘具有更大的退化值, 包括与栅长无关的栅和 S/D 的重叠区. 在栅边缘的退化是由在空穴和氧化层缺陷之间的局部增强的退化反应所引起的. 这是由于在栅边缘和栅与 S/D 重叠区的空穴浓度大于沟道区的空穴浓度. 而且, 由于在工艺过程中, 诸如栅刻蚀和 S/D 离子注入引入的损伤, 使得靠近栅边缘的区域有许多初始氧化层缺陷, 由于在靠近栅边缘的区域空穴和初始氧化层缺陷数量较多, 因此退化反应主要发生在这个局部区域. 在这些结果的基础上, 超深亚微米器件中 NBTI 效应和栅长的关系可以用以下两个因素来解释: (1) 栅氧退化区域的长度

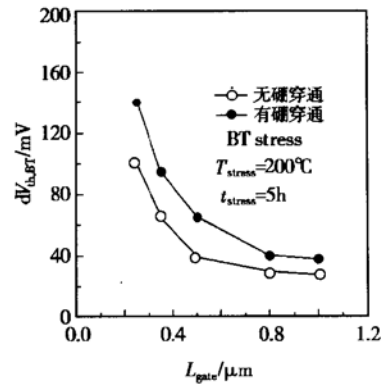


图 6 有无硼穿透下栅长与 dV_{th} 之间的关系

Fig. 6 Dependence of threshold voltage shift with gate length

与总沟道长度比值的增加; (2) 短沟器件的二维效应的影响. 对于长沟 PMOSFET 来说, 局部的退化没有明显地影响器件的特性. 相比之下, 对于短沟 PMOSFET 来说, 局部的退化大大影响了器件的特性, 导致了更严重的 NBTI 效应.

3.2 NBTI 效应与栅氧硼穿透之间的关系

从图 6 中我们还可以看出, 硼穿透增强了器件的阈值电压漂移. 其原因可以这样解释: 由于硼穿透引起的 BT 应力的变化是由进入栅氧的硼和氟共同引起的. 具有硼穿透的 PMOSFET 由于由 BF_2 注入期间在 Si/SiO₂ 界面附近形成了具有高键能的 Si-F 键, 它不利于界面态 ΔN_{it} 的形成^[5]; 但在另一方面, 带有硼穿透的 PMOSFET 的较大的 $\Delta N_f + \Delta N_{it}$ 主要来源于由增加的氧化层缺陷引起的不断增强的正氧化层电荷的产生. 这是因为硼穿透虽然抑制了界面态的产生, 但是增强了正固定电荷的产生. 因为在具有硼穿透的 PMOSFET 中 ΔN_f 比 ΔN_{it} 大, 所以硼穿透效应增加了器件的 ΔV_{th} , 最终对 NBTI 效应起到了增强作用.

3.3 NBTI 效应与栅氧氮化之间的关系

氮浓度的增加使得在应力过程中氧化层陷阱电荷的增加, 氮化将氧化层正电荷的产生增强了几个数量级, 因此栅氧的氮化增加了 V_{th} 的漂移, 对 NBTI 效应有很大的影响. 图 7 给出了有无栅氧氮化对 PMOSFET 中 V_{th} 的漂移的影响. 氮化在这些技术中被用来减小 PMOSFET 中的硼穿透, 所以在对 NBTI 效应的抑制中, 这二者是一个矛盾体. 由于

氮化栅氧的激活能小于纯栅氧的激活能,高氮化浓度减小了器件的最大允许工作温度,氮化甚至可以使器件寿命退化 20 到 30 年.来自 HCl 的退化可以通过优化漏源结构来减小,但是来自 NBTI 的退化如果没有主要工艺体系的改变,诸如改变栅介质成分和厚度则不会轻易的缩小^[6].因此,如何抑制 NBTI 效应是对可靠性的重大挑战.

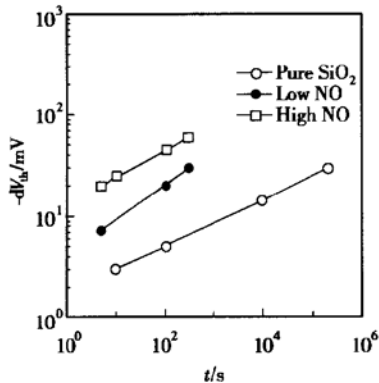


图 7 栅氧氮化对阈值电压漂移的影响

Fig. 7 Influence of NO on threshold voltage shift

4 NBTI 效应对器件寿命的影响及其抑制

与 HCl 主要影响 NMOSFET 器件寿命不同^[7],NBTI 效应主要影响 PMOSFET 器件.在高 V_{DD} 区域,热载流子引发的器件驱动电流的退化限制了器件的寿命.但随着电源电压的不断减小,在低 V_{DD} 区域由于 NBTI 引起的 V_{th} 变化限制了器件的寿命,它在器件退化中的比重将逐渐超越 HCl 对器件退化的作用.超深亚微米器件的实际工作寿命可以从实验结果来估计,图 8 的寿命是由应力条件为 $T_{stress} = 100^{\circ}\text{C}$, $\Delta V_{th} = -20\text{mV}$ 的标准下得到的.

从影响 NBTI 效应的因素分析可以得出:一方面,栅长减小将大大减小器件的寿命;另一方面,抑制硼穿透增强了 PMOSFET 的器件寿命,这预示着通过改进工艺可以加工更可靠的超深亚微米 PMOSFET.从以上的分析我们可以得出,要想使 PMOSFET 等对 NBTI 效应比较敏感的器件性能达到优化和稳定有两个基本的要求,这两个基本要求是:(1) 器件初始缺陷密度非常小;(2) 减小器件应用中的 NBTI 效应.在工艺中可以采用抑制 NBTI 效应的一个方法,就是对氧化层进行在含氢气氛中的高温热处理.在这些高温处理下,会产生如下后果:

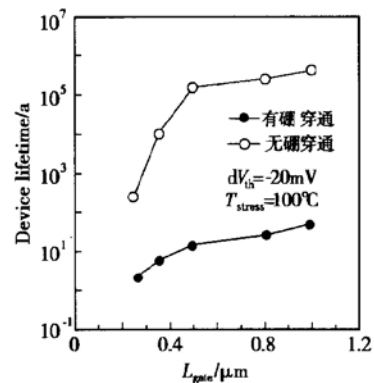


图 8 不同栅长和工艺条件下的器件寿命

Fig. 8 Device lifetime in different process and gate length

(1) 任何在氧化层或在其表面的水都被赶走了.(2) 气氛中的氢使三价硅缺陷氢化,从而使得它们变得不活泼.所以在 NBT 应力期间只有很小的氧化层电荷和界面态形成.另外通过改进侧墙加工工艺可以减弱在漏和栅电极之间的电场^[8],降低空穴能量,减少反应发生的几率.通过三种不同侧墙加工工艺进行比较,第一种是低温 CVD 氧化物(LTO),第二种是高温 CVD 氧化物(HTO),第三种是在 HTO 沉积后进行氧化,可以确定在工艺过程中的强氧化能抑制 BT 退化,因为通过这种氧化加厚了栅多晶硅边缘的栅氧厚度.通过在栅电极上淀积 Si_3N_4 等保护膜也可以抑制 NBTI 效应,因为 Si_3N_4 阻止了氢的扩散,但淀积的 Si_3N_4 薄膜必须选择在一定的区域,否则会在栅边缘下的硅衬底上引入应力,这会引发 PMOSFET 初始特性的退化.总之,来自栅氧局部退化的 BTI 是由器件加工工艺引入的在空穴和氧化层缺陷的反应所引起的,缩小靠近栅边缘的空穴高浓度区域,使用减小初始氧化层缺陷的加工工艺等可以大大提高超深亚微米器件的寿命.

5 结论

在器件沟道长度和氧化层厚度不断缩小,尤其是采用低电压供电的情况下,NBTI 效应逐渐成为影响超深亚微米器件可靠性的关键因素.NBTI 效应是由在高温和负栅压应力下形成界面态和氧化层正固定电荷所造成,它会使器件参数发生漂移,从而影响其可靠性.器件栅长的不断缩小,栅氧中硼穿透和栅氧的氮化等大大增强了 NBTI 效应,而在工艺过程中采用高温热处理、加厚侧墙和淀积保护膜等

方法可以在一定程度上抑制 NBTI 效应的发生.

参考文献

- [1] Kimizuka N, Yamamoto T. The impact of bias temperature instability for direct-tunneling ultra-thin gate oxide on MOS-FET scaling. Symposium on VLSI Technology Digest of Technology Papers, 1999: 73
- [2] Blat C E, Nicollian E H. Mechanism of Negative-bias-temperature instability. J Appl Phys, 1991, 69(3): 1712
- [3] Ogawa S, Shimaya M, Shiono N. Interface-trap generation at ultrathin SiO₂-Si interfaces during negative-bias temperature aging. J Appl Phys, 1995, 77: 1137
- [4] Uwasawa K, Yamamoto T. A new degradation mode of scaled p⁺ polysilicon polysilicon gate pMOSFETs induced by bias temperature (BT) instability. IEDM, 1995: 34. 7. 1
- [5] Yamamoto T, Uwasawa K. Bias temperature instability in scaled p⁺ polysilicon gate p-MOSFET's. IEEE Trans Electron Devices, 1999, 46(5): 921
- [6] Chaparala, Shibley P. Threshold voltage drift in pMOSFETs due to NBTI and HCI. 2000 Integrated Reliability Workshop Final Report, 2000: 95
- [7] Liu Hongxia, Hao Yue, Sun Zhi. Hot-carrier effects of deep-sub-micron MOS devices. Chinese Journal of Semiconductors, 2001, 22(6): 770(in Chinese) [刘红霞, 郝跃, 孙志. 深亚微米 MOS 器件的热载流子效应. 半导体学报, 2001, 22(6): 770]
- [8] Makabe M, Kubota T. Bias-temperature degradation of pMOSFETs: Mechanism and suppression. IRPS, 2000: 205

NBTI Effect of Ultra Deep-Sub-Micron Devices^{*}

Han Xiaoliang and Hao Yue

(Institute of Microelectronics, Xidian University, Xi'an 710071, China)

Abstract: NBTI effect is a key issue for the device reliability of ultra-deep-sub-micron PMOSFET devices. The influence of NBTI effects on PMOSFET device threshold voltage shift is evaluated through experiments, and a formula derived from experience is given to solve the threshold voltage shift in NBTI effect in quantity. Device gate length, boron penetration effect and nitride gate oxide are three important factors to the NBTI effects, and they make great influence on device lifetime. Finally, some methods in procession are brought up to suppress the NBTI effect.

Key words: ultra deep-sub-micron; PMOSFET; NBTI effects; reliability

EEACC: 0170N; 2560R; 2570D

Article ID: 0253-4177(2003)06-0626-05

* Project supported by National Natural Science Foundation of China(No. 60206006) and Advanced Research Foundation for Military Affairs of China(No. 41308060305)

Han Xiaoliang male, was born in 1976, PhD candidate. He is engaged in the research on reliability of MOS devices.

Hao Yue male, was born in 1958, professor, advisor of PhD candidates. He is engaged in the research on VLSI integrated circuits reliability design, deep-sub-micron devices characteristics and modeling, novel materials and devices.

Received 10 June 2002, revised manuscript received 26 November 2002

© 2003 The Chinese Institute of Electronics