

双层多晶硅 FLOTOX EEPROM 特性的 模拟和验证

黄飞鸿¹ 郑国祥¹ 吴 瑞²

(1 复旦大学材料科学系, 上海 200433)

(2 先进半导体制造有限公司, 上海 200233)

摘要: 介绍了 EEPROM 的电学模型, 模拟分析了阈值电压变化与写入时间、写入电压、隧道孔面积、浮栅面积的关系. 根据模拟结果, 采用 0.6 μm CMOS 工艺, 对双层多晶硅 FLOTOX EEPROM 进行了流片, PCM 的测试结果验证了模拟结果在实际工艺中的可行性. 模拟得出的工艺参数评价为制造高性能的存储单元打下了坚实的基础.

关键词: FLOTOX EEPROM; 阈值电压; 写入; 隧道氧化层

EEACC: 1265D

中图分类号: TN402; TN405

文献标识码: A

文章编号: 0253-4177(2003)06-0637-06

1 引言

电可擦除可编程只读存储器(EEPROM)作为非挥发性半导体存储器(NVSM)的一种,自70年代末以来越来越引起人们的重视.它具有可字节擦除和编程、速度快、集成度高等优点,可以方便有效地在系统中进行数据的存储和刷新(in-system reprogram ability).

EEPROM 的结构大致可分为三类:(1)金属-氮化硅-二氧化硅-硅单元结构(MNOS)^[1];(2)表面变形的结构化多晶硅单元^[2](textured poly floating gate, TPFG);(3)浮栅薄氧化层结构^[3](floating gate thin oxide, FLOTOX). MNOS 结构需要生长小于 5nm 的超薄氧化层,工艺难以控制,耐久性和保持特性差,而且其制造工艺和常规 CMOS 工艺不兼容,目前已经很少采用. TPFG 结构所需的隧道氧化层厚度可以达到 50nm (远大于 FLOTOX 的 10nm),但是需要精确地控制工艺,以生长出符合特定要求的多晶硅氧化层表面,而且结构比较复杂,耐

久性差,这就限制了它的发展. FLOTOX 结构简单,耐久性和保持特性都较为理想,并且与 CMOS 工艺兼容,因此获得了广泛的应用,成为 EEPROM 的重要结构.

IC 设计者围绕 EEPROM 存储器的电路模拟做了很多工作^[4-6]. 相对而言,为指导 IC 新品开发和工艺研究而开展的器件模拟工作却少见报道. 为进行 0.6 μm 线宽 EEPROM 的工艺开发,与工艺相结合的器件模拟是必要的技术支持. 本文在对 FLOTOX EEPROM 的电学模型分析的基础上,模拟验证了不同工作条件和工艺参数对 EEPROM 存储单元器件性质的影响,并与 PCM 的测试结果进行了比较分析,对亚微米 FLOTOX EEPROM 的顺利投产做了正确的事前评估,缩短了该产品的生产预备周期.

2 FLOTOX EEPROM 的等效电学模型

FLOTOX 结构采用 F-N (Fowler-Nordheim)

黄飞鸿 男,研究生,主要研究领域为半导体工艺和器件的计算机模拟.

郑国祥 男,教授,从事半导体器件、材料微分析和集成电路设计的研究工作.

2002-07-08 收到,2002-11-16 定稿

隧道效应产生的电子流对浮栅进行数据擦写. 在高压下, 硅和氧化层之间的势垒宽度变薄, 使得电子透过势垒层在硅导带和氧化层的导带间进行穿越, 实现对浮栅的电子注入和擦除^[7]. F-N 电流密度(J)与电场强度(E)的关系如下:

$$J = AE^2 \exp(-B/E) \quad (1)$$

图 1 为双层多晶硅 FLOTOX EEPROM 存储管纵向结构剖面图, 图 2 是其等效电容模型^[8].

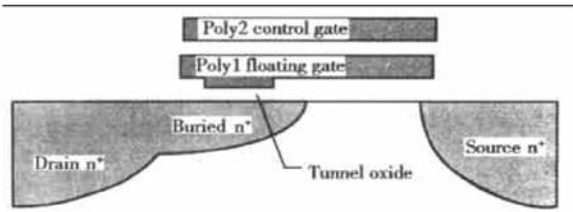


图 1 EEPROM 存储管纵向结构剖面图

Fig. 1 Schematic cross section of FLOTOX EEPROM

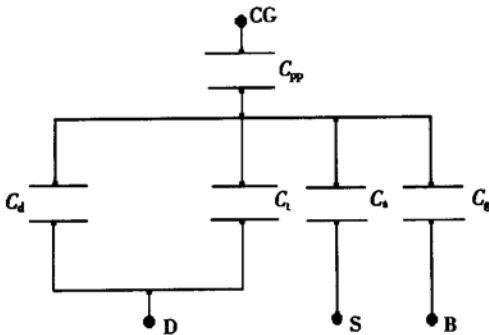


图 2 EEPROM 存储管的等效电容模型

Fig. 2 Capacitive equivalent circuit of EEPROM cell

在图 2 中, CG 是控制栅(图 1 中的 poly2), B 是接地衬底, C_{pp} 是两层多晶硅之间的电容, C_d 和 C_t 之和等效为浮栅和漏区之间的电容. 其中, C_t 是反映隧道氧化层部分的电容, C_s 是浮栅和源区之间的电容, C_g 为浮栅和衬底沟道之间的电容. 进行写入操作时, 控制栅接 V_{CC} 高压电平, 漏极和源极接零电位, 因此, 浮栅电压 V_{FG} 主要是由控制栅电压 V_{CC} 以及控制栅与浮栅之间的电容耦合作用决定. 当浮栅上无电荷时, 浮栅电压即施加在隧道氧化层上的电压为^[8]:

$$\begin{aligned} V_{FG} &= \frac{C_{pp}}{C_{pp} + C_d + C_s + C_t + C_g} \times V_{CC} \\ &= \frac{C_{pp}}{C_T} \times V_{CC} \end{aligned} \quad (2)$$

其中 总电容 $C_T = C_{pp} + C_d + C_s + C_t + C_g$, 定义写入

耦合系数 $\alpha = C_{pp}/C_T$, 该系数越大则写入操作越容易进行.

当 V_{CC} 施加在控制栅上时, 大量的电荷 Q 将会聚集到浮栅上, 导致器件的阈值电压发生变化^[9]:

$$\Delta V_T = \frac{Q}{C_{pp}} \quad (3)$$

因此在写入过程中 V_{FG} 的表达式为:

$$V_{FG} = C_{pp} \frac{(V_{CC} - \Delta V_T)}{C_T} = \alpha(V_{CC} - \Delta V_T) \quad (4)$$

设浮栅和漏极之间的电场强度为 $E = V_{FG}/X_o$, 其中 X_o 是隧道氧化层的厚度. 可推导出阈值电压的变化 ΔV_T 为:

$$\Delta V_T = V_{CC} - \frac{C_T}{C_{pp}} X_o E \quad (5)$$

实际上浮栅和漏极之间的电场强度是随时间 t 变化的, 从(3)式和(5)式得:

$$E(t) = \frac{C_{pp}}{C_T X_o} V_{CC} - \frac{Q(t)}{C_T X_o} \quad (6)$$

假设 V_{CC} 不随时间改变, 对时间求导并结合(1)式, 得到:

$$\frac{dE(t)}{dt} = - \frac{1}{C_T X_o} \times \frac{dQ(t)}{dt} = - \frac{SAE^2(t)}{C_T X_o} e^{-B/E(t)} \quad (7)$$

其中 S 是隧道氧化层(隧道孔)面积; A 、 B 为(1)式中的常数. 对(7)式积分, 设 E_i 是当 $t = 0$ 时的阈值电压, 可以确定电场强度 $E(t)$ 和时间 t 的关系如下:

$$E(t) = \frac{B}{\ln[e^{B/E_i} + \frac{SABt}{C_T X_o}]} \quad (8)$$

(5) 式体现了在写入操作后阈值电压的变化. 控制栅电压、隧道氧化层面积、隧道氧化层厚度以及浮栅面积是 EEPROM 工作状态和器件工艺参数, 其变化反映了器件参数 V_T 的变化.

3 FLOTOX EEPROM 的工作状态和工艺参数模拟

用工艺模拟软件 ATHENA 模拟 n 沟道 FLOTOX EEPROM 单管, 其结构剖面图和不同区域的净掺杂浓度的关系如图 3 所示. 下面将从工作状态和工艺参数两个方面对该结构进行分析.

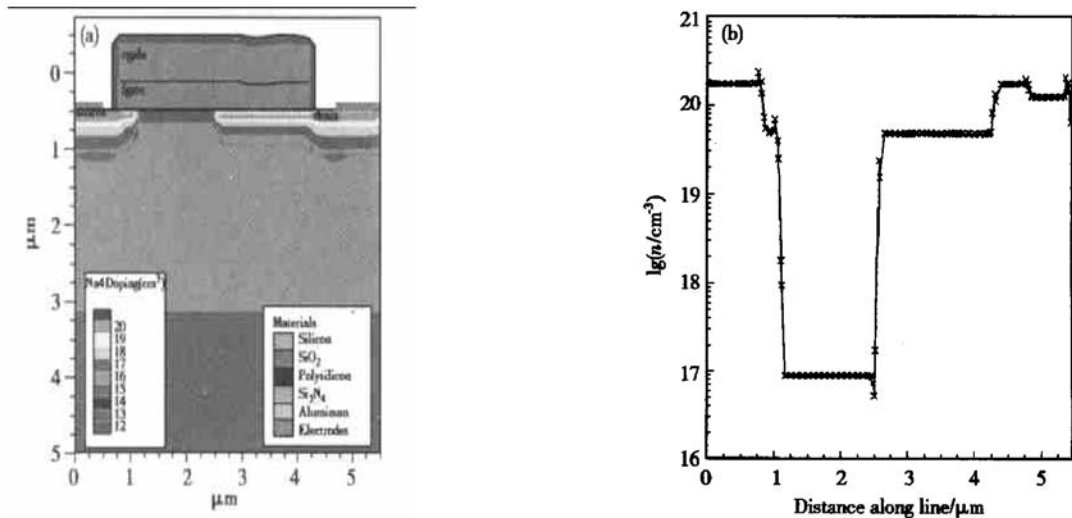


图3 EEPROM 的结构剖面(a)和掺杂浓度分布(b)

Fig. 3 Simulated cross-section (a) and net doping of EEPROM (b)

3.1 工作状态模拟分析

使用器件模拟软件 ATLAS 对图 3 中的 FLOTOX EEPROM 器件进行电学分析. 设定不同的条件组合如下: 写入条件为 $V_D = V_S = 0$, 施加在控制栅上的电压为 $V_{CC} = 12, 14, 16V$, 时间 $t = 2.5, 5.5, 10.5ms$ (其中电压上升的时间均为 $0.5ms$). 模拟所得到的电学特性曲线介绍如下:

(1) 漏极电流和控制栅电压的曲线. 从 $I_{ds}-V_{gs}$ 特性曲线的最大斜率处进行线性外推, 外推线与横坐标相交点的控制栅电压即为阈值电压, 由此获得未进行写入操作时的阈值电压为 $0.6557V$, 如图 4 所示.

(2) 阈值电压随写入时间和控制栅电压的变化关系. 从图 5 中可以得到写入后的阈值电压变化 ΔV_T . ΔV_T 的大小反映了单元存储功能与抗干扰能力, ΔV_T 越大, 说明存储单元的抗干扰能力越强. 可见, 随着写入时间和控制栅电压的增加, ΔV_T 也随之增大, 尤其是随着控制栅电压的增大, ΔV_T 有着显著的提高. 该结果与等效电学模型中的 (5) 式和 (8) 式的推导结果相符. 因此, 增大控制栅电压是提高 EEPROM 写入效率的一个有效措施. 但是写入电压太高会使隧道氧化层击穿, 造成 EEPROM 的失效; 而且, 芯片内部电压泵设计随着电压的增加会对芯片产生以下不利影响: 内部功耗的增大、寄生效应更显著和元件数目的增多. 所以, 一般写入电压取 $16V$ 左右就能满足要求. 从 ΔV_T 和写入时间 t 的曲

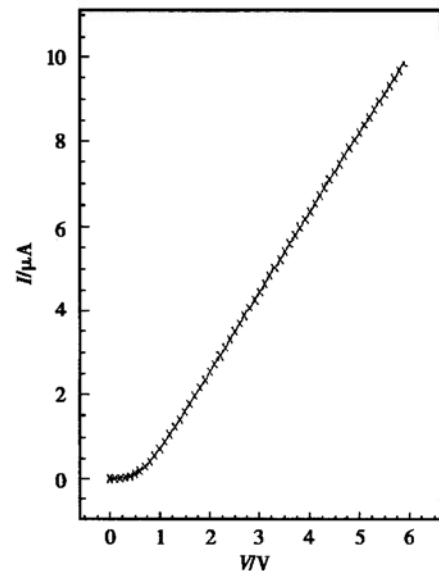


图4 EEPROM 的初始漏极电流和栅电压关系图

Fig. 4 Initial drain current versus control gate voltage

线中可看出, 当写入时间大于 $5.5ms$ 时, 阈值电压的增加不明显, 所以, 可以选择 $5.5ms$ 作为写入时间.

(3) 写入时控制栅上所施加的电压及 F-N 电流 (即浮栅电流 F_{gate} current) 与写入时间的关系. 如图 6 所示, 施加在漏极/控制栅上为 $16V$, 擦/写时间是 $2.5ms$, 电压的上升时间为 $0.5ms$.

可见, 在很短的时间内 ($t = 0.5ms$), 高压电平和 F-N 电流都达到了最大值, 即注入电流的上升与

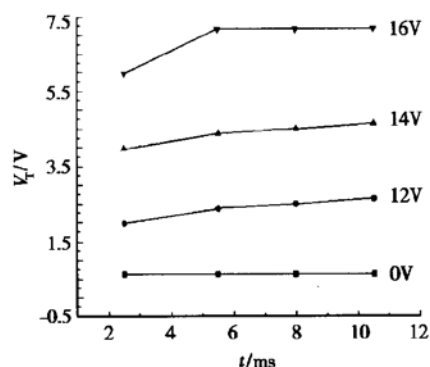


图 5 阈值电压随写入时间和电压的变化关系
Fig. 5 Variation of V_T versus voltage and time

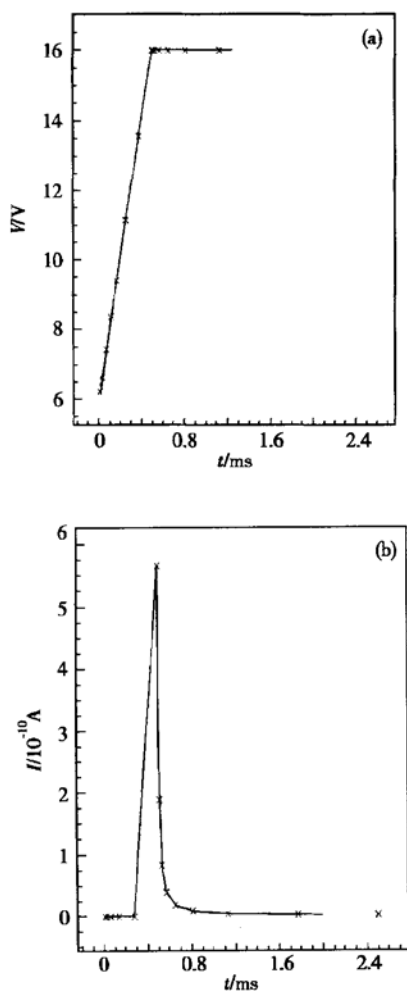


图 6 (a) 写入时控制栅电压与时间的关系; (b) 写入时 F-N 电流与时间的关系
Fig. 6 (a) Variation of control-gate voltage versus time; (b) Variatin of F-N current versus time

控制栅电压的上升对应. 当施加的电压达到最大值时, 电压就不随时间增加而变化, 此时, 浮栅上开始

积累电子, 电场强度开始下降, 当电场强度小于 10^7V/cm 时, 电子的隧穿过程也就终止. 因此, 当电压恒定(即到达最大值)时, F-N 电流随着时间的增加而迅速下降, 最后降为 0. 所以, 通过减少电压上升时间, 尽快使浮栅和漏极之间的电场强度达到 10^7V/cm , 产生电子隧穿, 从而能提高工作效率. 该现象也与 (1) 式和 (8) 式的电学模型相符.

3.2 工艺参数的模拟分析

(1) 写入操作后阈值电压和隧道孔面积的关系. 模拟条件为: 控制栅电压为 16V, 时间为 5.5ms, 隧道氧化层厚度为 8nm, 浮栅面积为 $11.56 \mu\text{m}^2$, 隧道孔面积作为横坐标. 图 7 的模拟结果说明, 随着隧道孔面积的增加, 进行写入操作后的阈值电压明显增大. 从公式 (5) 和 (8) 可知, 电场强度 $E(t)$ 随着隧道孔面积 S 的增大而减小, 而 ΔV_T 随着电场强度 $E(t)$ 的减小而增大, 所以隧道孔面积 S 的增大将提高写入操作后的阈值电压. 从图 7 中可知, 采用 $0.50 \mu\text{m}^2$ 大小的隧道孔面积足以获得较高的阈值电压差. 在保证存储单元正常工作的前提下, 适当减小隧道氧化层面积, 可以减小浮栅上非“擦除”操作引起的泄漏电流, 从而提高单元的保持特性和器件的集成度.

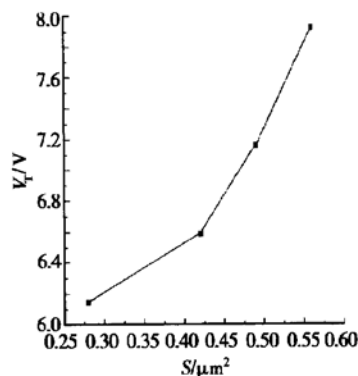


图 7 写入操作后阈值电压和隧道孔面积的关系
Fig. 7 V_T variation versus tunnel area after writing

(2) 写入操作后阈值电压和浮栅面积的关系. 模拟条件为: 控制栅电压为 14V, 时间为 5.5ms, 隧道氧化层厚度为 8nm, 隧道孔面积为 $0.49 \mu\text{m}^2$, 浮栅面积逐渐增大. 图 8 的曲线表明, 随着浮栅面积的增加, 写入操作后的阈值电压随之增大. 这是由于浮栅面积的增大, 控制栅与浮栅之间的电容 C_{pg} 也变大,

从公式(2)可知,浮栅上的电压 V_{FG} 也随之增大. 于是更多的电子注入浮栅,使 n 沟道 EEPROM 的阈值电压变得更大. 为了提高写入耦合系数 α ,可增大两层多晶硅的覆盖面积,减小双层多晶硅之间的介质厚度,即增大 C_{pp} . 但是双层多晶硅之间的介质是 $SiO_2-Si_3N_4-SiO_2(ONO)$,减小 ONO 的厚度,在工艺上难以控制. 所以,浮栅面积的选取应该兼顾写入效率和集成度,ONO 厚度的选取也需考虑写入效率和保持特性.

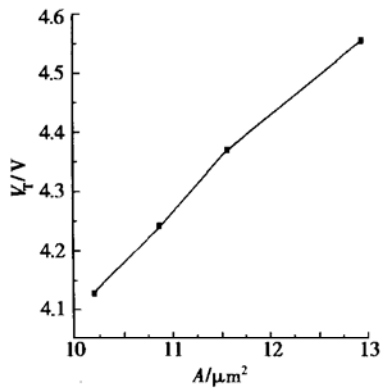


图 8 写入操作后阈值电压和浮栅面积的关系

Fig. 8 V_T variation versus floating-gate area after writing

综合以上模拟结果可知,施加的电压、时间以及隧道孔和浮栅面积对于阈值电压的变化均有较大的影响,与等效电学模型的分析一致. 根据模拟结果,要实现较好的存储功能、较低的功耗以及较高的集成度,结合目前 $0.6\mu m$ 的工艺技术,确定写入电压可取 $16V$,写入时间为 $5.5ms$ 左右,电压上升时间根据实际工作状态尽可能减小;隧道氧化层面积基本上由 $0.6\mu m$ 版图设计规则,可定为 $0.50\mu m^2$ 左右,而浮栅面积可根据高压管存储单元的版图尺寸而定.

4 FLOTOX EEPROM 的 PCM 测试结果

通过实际 EEPROM 芯片的 PCM 图形的电学测试,对模拟结果进行验证. 图 9 是测量实际集成电路芯片中 PCM 图形的 EEPROM 管的初始漏极电流和栅压的关系图. 从图 9 的指数关系曲线中得到初始的阈值电压约为 $0.68V$,与图 4 中的模拟结果基本相符.

图 10 反映了不同的写入电压下漏极电流的变

化. 当写入电压和时间分别为 $14V$ 、 $5.5ms$ 和 $16V$ 、 $5.5ms$ 时,对应的阈值电压分别约为 $4.5V$ 和 $6.8V$,与图 5 中的模拟结果相符.

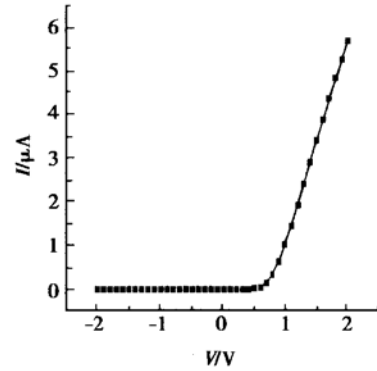


图 9 EEPROM 的初始漏极电流和栅电压关系

Fig. 9 Initial drain current versus control gate voltage

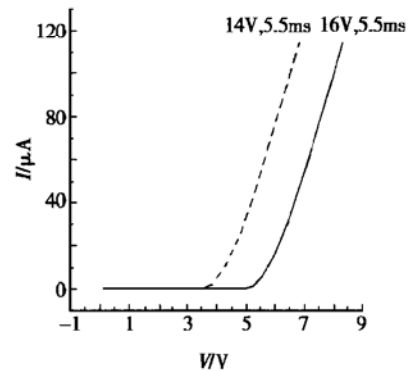


图 10 写入操作后的漏极电流和栅电压关系

Fig. 10 Drain current versus control gate voltage after writing

此外还测得不同的栅压下的漏极电流和漏电压的初始关系曲线. 发现在 $10V$ 以内,EEPROM 存储管的饱和区域基本上是一条平坦的曲线. 这表示浮栅和漏极之间的电容耦合作用并不明显,所以,在设计时,无需对图 2 中的漏耦合系数 $(C_d + C_l)/C_T$ 进行特别的研究.

综上所述,PCM 测试结果与模拟结果基本相符;根据模拟结果给出的工艺参数和工作状态在实际中是可行的.

5 结论

在对 EEPROM 电学等效模型理解的基础上,模拟分析控制栅电压、写入时间、浮栅面积以及隧道

孔大小等因素对 FLOTOX EEPROM 器件性能的影响, 并通过 PCM 测试验证了模拟结果的可行性, 为制定工艺参数评价标准提供了依据.

另外, 还需从工艺角度上考虑: (1) 选取合理的 N^+ 埋层浓度, 因为浓度太低, 要产生隧道效应, 则要求更高的写入电压, 从而影响擦除效率; 太高则不利于薄氧化层的生长, 会影响隧道氧化层的质量, 综合考虑后, N^+ 埋层的掺杂浓度一般为 $(1 \sim 5) \times 10^{19} \text{ cm}^{-3}$; (2) 保证漏耦合系数应该尽可能小, 防止输出特性曲线向上倾斜.

参考文献

- [1] Cricchi J R, Blaha F C, Fitzpatrick M D. The drain-source protected MNOS memory device and memory endurance. IEEE IEDM Tech Dig, 1973: 126
- [2] Landers G. 5-V-only EEPROM mimics static RAM timing. Electronics, 1980: 127
- [3] Harari E, Schmitz L, Troutman B, et al. A 256bit non-volatile static RAM. IEEE ISSCC Dig Tech, 1978: 108
- [4] Sucin P I, Cox B P, Rinerson D D, et al. Cell model for EEPROM floating-gate memories. In: IDEM Tech Dig. San Francisco, 1982: 737
- [5] Kuo C, Yergain J R, Downney W J, et al. IEEE J Solid-State Circuits, 1982, 5c-17: 821
- [6] Hong Zhiliang, Han Xingcheng, Li Xingren, et al. EEPROM cell model and its application. Chinese Journal of Semiconductors, 1999, 20(9): 786(in Chinese)[洪志良, 韩兴成, 李兴任, 等. 电可擦除存储器单元的模型. 半导体学报, 1999, 20(9): 786]
- [7] Lenzlinger M, Snow E H. Fowler-Nordeim tunneling in thermally grown SiO_2 . J Appl Phys, 1969, 40: 278
- [8] Brown W D, Brewer J E. Nonvolatile semiconductor memory technology. The Institute of Electrical and Electronics Engineers, Inc, New York
- [9] Bhattacharyya A. Modelling of write/erase and charge retention characteristics of floating gate EEPROM devices. Solid-State Electron, 1984, 10: 899

Simulation and Verification of Characteristics for Two-PolySilicon FLOTOX EEPROM Cell

Huang Feihong¹, Zheng Guoxiang¹ and Wu Rui²

(1 Department of Materials Science, Fudan University, Shanghai 200433, China)

(2 Advanced Semiconductor Manufacturing Corporation, Shanghai 200233, China)

Abstract: In order to evaluate the process parameters of two-polysilicon FLOTOX EEPROM, the electrical model of EEPROM is introduced. The relation between threshold voltage and writing time, programming voltage, tunnel area and floating area is simulated. Based on the simulating results and $0.6\mu\text{m}$ CMOS process technique, the two-polysilicon FLOTOX EEPROM is fabricated. Finally, the feasibility of simulating results is verified by PCM testing results. Therefore, the process evaluation of FLOTOX EEPROM will be the ground work for manufacturing high quality memory cell.

Key words: FLOTOX EEPROM; threshold voltage; writing; tunneling oxide

EEACC: 1265D

Article ID: 0253-4177(2003)06-0637-06

Huang Feihong male, graduate student. He is engaged in the research on semiconductor processing and devices simulation.

Zheng Guoxiang male, professor. His research field is in semiconductor devices, materials micro-analysis and integrated circuit design.

Received 8 July 2002, revised manuscript received 16 November 2002

©2003 The Chinese Institute of Electronics