

一个面积和功耗优化且适用于 10/100 Base-T 以太网的 CMOS 时钟恢复电路

王 彦 叶 凡 李 联 郑增钰

(复旦大学专用集成电路与系统国家重点实验室, 上海 200433)

摘要: 提出了一个新的用于 10/100 Base-T 以太网中面积和功耗优化的时钟恢复电路. 它采用双环路的结构, 加快了锁相环路的捕获和跟踪速度; 采用复用的方式, 通过选择信号控制电路可分别在 10Mbps 或 100Mbps 模式下独立工作且能方便地实现模式间的互换, 与采用两个独立的 CDR 电路相比节省了一半的面积; 同时, 电路中采用一般的延迟单元来取代 DLL, 并能保证环路性能不随工艺温度等条件引起的延迟单元、延迟时间的变化而变化, 从而节省了功耗. Hspice 模拟结果显示, 在 $V_{dd} = 2.5V$ 时, 100Mbps 模式下电路的功耗约为 75mW, 稳态相差为 0.3ns; 10Mbps 模式时电路功耗为 58mW, 稳态相差为 0.9ns.

关键词: 10/100 Base-T; DLL; 时钟恢复电路

EEACC: 1250; 1260; 1280

中图分类号: TN492

文献标识码: A

文章编号: 0253-4177(2003)06-0643-06

1 引言

自从 1976 年 Metcalfe 和 Boggs 在夏威夷岛上建成第一个以太网以来^[1], 以太网就发挥着越来越重要的作用, 为人们的工作、学习和娱乐提供了很大的方便. 而伴随着信息化时代的到来, 计算机网络互连技术、通信技术和多媒体技术的飞速发展, 视频点播、图像语音等大容量数据的传输都对网络的速度提出了越来越高的要求, 目前传输速率达 1000Mbps 的收发器已经用在了骨干网的网络接口中, 而采用 5 类双绞线作为传输介质的 10/100base-T (传输速率为 10/100Mbps 的自适应收发器), 由于其相对于别的解决方案具有成本低、布线方便、升级容易等许多优点, 已成为了局域网内部各台机器间互连通信的主流网络接口.

10/100Base-T 自适应收发器主要由 100Base-Tx 的收发器和 10Base-Tx 收发器两个部分组成, 一般还包含采用光纤介质的 100Base-Fx 收发器^[2], 而 CDR(时钟数据恢复)电路是接收器中的关键模

块, 它从接收均衡后的随机码流中提取出时钟信号并恢复出与对方发送端同步的时钟, 对判决电路进行采样从而恢复出数据. 时钟恢复电路的性能将直接决定数据的 BER(比特误码率), 从而决定了整个通信系统的性能. 本文设计了一个适用于 10/100Base-T 的时钟恢复电路. 在论文的第 2 部分将阐述相关的原理并给出电路的系统框图; 第 3 部分介绍时钟恢复电路各个关键模块并重点介绍鉴频鉴相器的具体设计; 第 4 部分则给出 SPICE 的仿真结果, 最后是简要结论.

2 原理及总体结构

10/100Base-T 的两种工作模式区别在于它们的传输速率和编码方式^[3]: 在 100Mbps 模式中, 数据经过 4B5B 编码/扰频后, 经过发送器转换成 MLT-3 编码方式通过双绞线传输, 传输速率为 125Mbps, 如图 1(a) 所示; 而在 10Mbps 模式中, 数据传输采用 Manchester 编码方式, 如图 1(b) 所示. 为了能够实现电路的复用, 对于均衡后的 MLT-3 波形

王 彦 男, 1978 年出生, 硕士研究生, 主要研究领域为数模混和信号电路设计.

叶 凡 男, 1978 年出生, 硕士研究生, 主要研究领域为专用集成电路和系统设计.

2002-08-11 收到, 2002-12-11 定稿

需要通过预处理电路转换成等效的 125MHz 的 NRZ 编码,如图 2 所示;而 Manchester 编码在 10Mbps 模式下可直接等效为 20MHz 的 NRZ 编码.

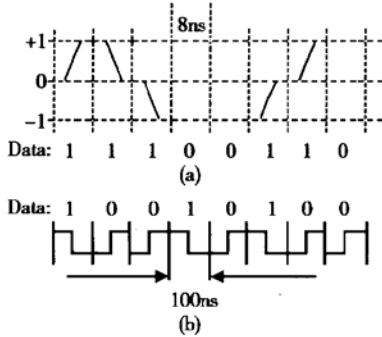


图 1 10/100Base-T 的编码波形
Fig. 1 10/100Base-T data waveform

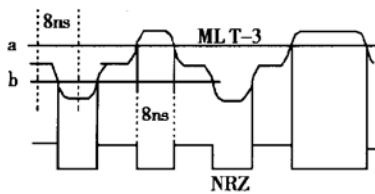


图 2 预处理电路的波形转换
Fig. 2 Waveform of pre-processing circuit

针对不同的应用情况,CDR 电路有很多的结构⁴⁻⁶.由于 NRZ 码具有以下两个特性,因此不利于时钟的恢复:(1)数据中会出现常连 0/常连 1 的情况,这就要求时钟恢复电路在没有校正电路的情

况下仍能保持锁定,产生同步的时钟信号;(2)从功率谱分析,在数据波特率整数倍的地方功率为零,所以不能直接提取位同步信号,这就有可能造成误锁或根本无法锁定.

为防止上述情况发生,传统解决方法需要对数据进行预处理,使其变为 RZ 码得到位同步信号.另一种方法是增加一个包含捕捉频率分量的参考时钟源,在波特率处产生频率分量.由于芯片存在一个 25MHz 的晶振时钟,所以本设计中采用了第二种方法,用该时钟作为辅助参考时钟源来实现时钟的正确恢复,从而简化了设计,并得到较快的捕捉速度.

参照文献[3],10/100base-T 存在两种工作模式:10Mbps 和 100Mbps.一般的芯片设计两组独立的模块分别进行时钟提取和恢复,而本设计中两种模式下的时钟恢复均采用相同的方案,即均对 NRZ 码的数据提取时钟信息,环路的主要子模块相同,通过模式选择信号 sel10_100 选择工作模式和数据通路,而复用其它共同的模块.对比采用两组独立的模块,本方案节省近一半的芯片面积和功耗.

电路采用双环路结构,总体框图如图 3 所示.当电路处于非数据接收状态 IDLE 时(SQUELCH=1),辅助频率捕捉环路工作,模式选择信号控制 VCO 输出时钟通过 4 分频器(10Mbps 模式)或者 5 分频器(100Mbps 模式)与 25MHz 的晶振参考时钟进行相位比较,这样当环路锁定时,VCO 就工作在预设的频率上了(100MHz@10M 模式,125MHz@

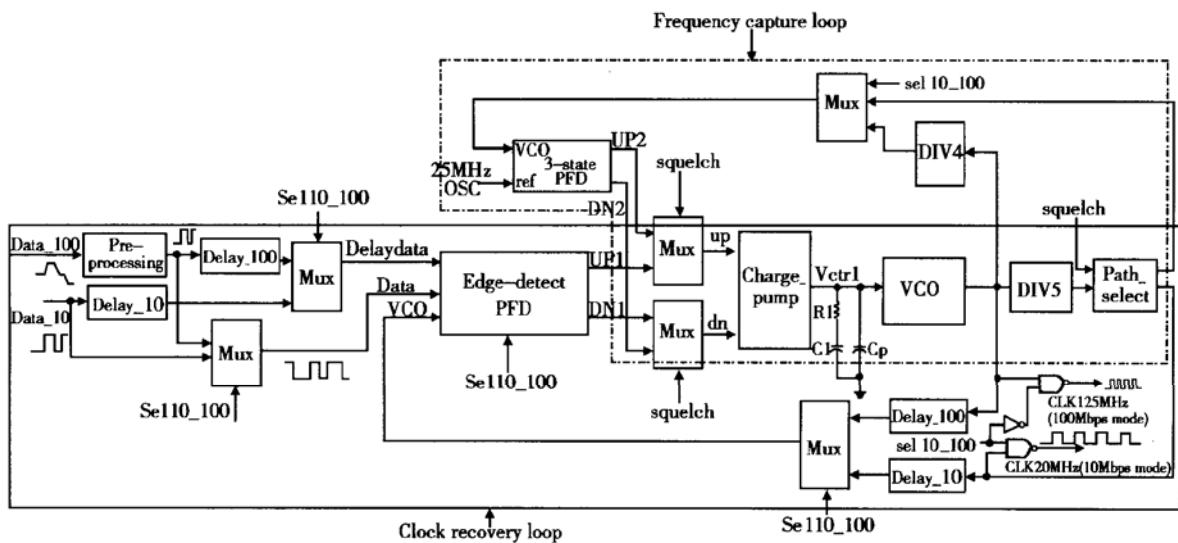


图 3 时钟恢复电路的总体框图
Fig. 3 Block diagram of clock recovery circuit

100M 模式). 当电路处于数据接收状态时 (SQUELCH= 0), 时钟恢复环路开始工作, 由模式选择信号控制分别对波特率为 20MHz 的 NRZ 码 (10M 模式) 或波特率为 125MHz 的 NRZ 码 (100M 模式) 进行时钟恢复, 由于 VCO 已经振荡在预设频率上, 环路就能很快完成对 NRZ 码的相位捕捉和跟踪并保持锁定. 图中的 Delay_100 和 Delay_10 分别对应 100Mbps 和 10Mbps 模式下的延迟单元, 延迟时间为相应码流的 1/2 波特率.

3 具体电路设计

3.1 鉴相器的设计

双环路分别使用两种鉴频鉴相器, 对于辅助频率捕捉环路, 参考时钟是固定的 25MHz 晶振, 所以不存在失锁的问题. 采用了一般的三态鉴频鉴相器, 由两个 D 触发器和一个与门构成, D 触发器的复位端增加了几级的倒相延迟单元, 使电荷泵的开关微导通, 以防止电荷泵结构的鉴频鉴相器存在的死区效应而导致稳态相差^[7].

另一方面, 时钟恢复环路从随机的 NRZ 码中提取时钟, 当数据出现连 0 或连 1 状态时, 一般的鉴频鉴相器不能正确分辨数据的传输频率而产生错误的输出, 容易造成环路的失锁. 为了处理这种情况, 就需要采用特殊的数据有效沿触发的鉴频鉴相器. 图 4 是基本框图, 数据 Data_100 和 Data_10 通过 sel10_100 选通开关后的 Data 信号送至 PFD 产生 enable 信号, 同时通过相应的 1/2 波特率的延迟单元, 作为 Delay_data 信号送入带使能端的 PFD, 与 VCO 的反馈信号进行相位的比较.

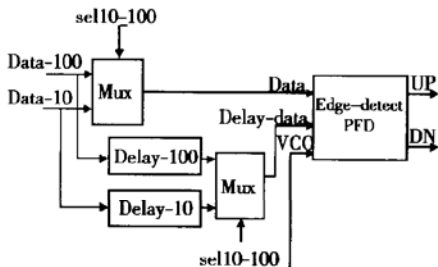


图 4 时钟恢复环路的鉴频鉴相器

Fig. 4 PFD diagram of clock recovery loop

图 5 为具有带使能端的边沿触发 PFD 具体电路, 只有在数据 Data_10 或 Data_100 产生跳变时

enable 为 1, PFD 才能通过使能端的作用对 Delay_data 和 VCO 信号进行比较, 从而避免了连 0 或连 1 情况下 PFD 的错误判断.

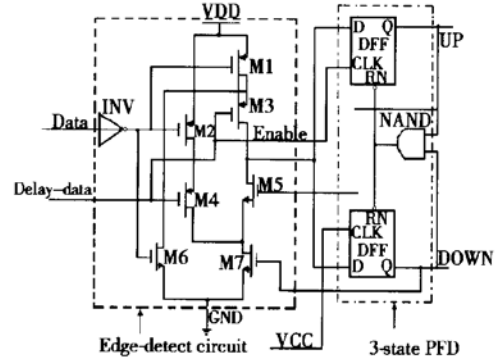


图 5 沿触发 PFD 的具体电路

Fig. 5 Edge-detect PFD

前面已经提到, 延迟单元的延迟时间 T_{delay} 控制在 $1/2T_s$, T_s 为一定波特率 NRZ 码数据的周期时间, 这是因为鉴相器的相移特性 $\Delta\theta$ 和延迟时间存在如下关系:

$$-2\pi\left(\frac{T_{delay}}{T_s}\right) \leq \Delta\theta \leq 2\pi - 2\pi\left(\frac{T_{delay}}{T_s}\right) \quad (1)$$

$1/2T_s$ 延迟时间就可以得到 $-\pi \sim \pi$ 范围的相差, 所以鉴相器的增益 $K_{PD} = \frac{1}{2\pi}\Delta\theta$ 就具有最好的对称转移特性即最大的采样窗口 $1/2T_s$. 当延迟时间不等于 $1/2T_s$ 时, 转移特性就不再对称, 图 6(a)、(b)、(c) 给出了三种情况下的增益特性曲线.

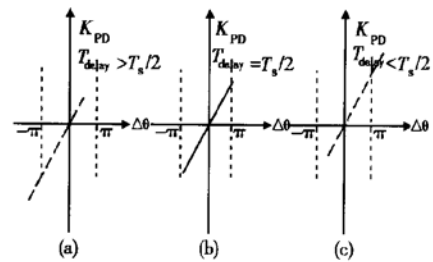


图 6 延迟时间与增益转移特性的关系

Fig. 6 Relationship of delay time vs. K_{PD}

在电路设计中一般采用 DLL 来实现精确的半周期延迟, 这需要增加较大的功耗. 为了减少功耗, 本设计采用了多级的倒相延迟电路来替代 DLL. 由于倒相延迟单元在不同的工艺条件下偏差比较大, 锁定后数据沿和 VCO 的时钟沿不再是精确的 $1/2T_s$, 数据的有效采样窗口就减小为 $\min(T_d, T_s - T_d)$, 这将增大数据恢复时的比特误码率, 为了得

到最大的采样窗口,设计中在 VCO 的输出端也加了一致的延迟单元,如图 3 所示,这样环路锁定时,数据沿和 VCO 的输出时钟沿是严格对齐的,且不随工艺条件和温度的变化而变化,将 VCO 输出时钟倒相后采样数据,采样时钟沿将精确的定位在采样窗口的中央.

3.2 电荷泵和环路滤波器

由 PFD 输出控制的电荷泵与阻抗型的二阶环路滤波器相结合,将 PFD 输出的相位差转换为相应脉宽的开关信号控制电荷泵对环路滤波电容和电阻充放电,实现对控制电压 V_{ctrl} 的控制,从而实现对 VCO 的振荡频率和相位的调整.为了减少充放电时引起的纹波导致输出时钟相位的抖动引入了旁路电容 C_p ;为了减小开关导通时由于开关两端电压差引起的电荷重新分配,电路中增加了运放跟随和两个互补开关使开关两端电压保持一致;另外由于实际设计中的电流源是非理想的,上下两支电流源的电流不一致,在上下开关同时导通时就会有电荷的积累, V_{ctrl} 会有小的抖动,环路锁定时就存在着一定的稳态相差,为此,电荷泵采用了高阻抗、宽摆幅的恒流源电路.

为了节省芯片面积,电路中的滤波电容均采用了 MOS 电容.环路稳定时环路滤波器上的控制电压 V_{ctrl} 为 0.82V (100base-T) 和 1.18V (10base-T),而 NMOS 管的阈值电压 $V_{th0} = 0.51V$,所以此时 NMOS 管具有很好的电容特性.

3.3 VCO

由于 VCO 处在一个高频噪声环境中,为了获得一个较好的频谱特性,构成 VCO 的延迟单元就必须有尽可能好的电源和衬底噪声抑制能力.相对于单输入倒相延迟单元而言,差分结构的延迟单元具有更好的抑制共模信号的能力,可以更有效地克服电源和衬底的噪声.本设计采用了 5 级的差分延迟单元,同时为了增大延迟单元中负载的线性范围,延迟单元采用了对称负载结构^[8],具体电路如图 7 所示.它能消除共模噪声耦合的一次项,仅留下高阶项的影响,同时延迟负载的输出摆幅可以从 V_{BP} 到 VDD,而采用 MOS 单管作线性负载的输出摆幅则被限制在 $V_{BP} + |V_{thP}|$ 到 VDD,所以对称负载的延迟单元具有更大的线性范围.

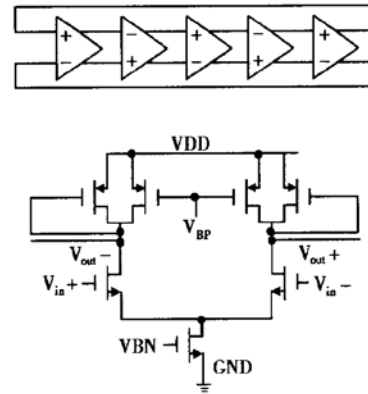


图 7 VCO 的示意图及对称负载延迟单元
Fig. 7 Diagram of VCO and delay cell circuit

4 仿真结果

电路仿真采用 chartered 的 $0.25\mu m$ CMOS 工艺模型,采用 AVANT! 的 Hspice 进行模拟,对不同的工艺参数与环境温度 ($0^{\circ}C \sim 125^{\circ}C$),环路均能在发送前导训练码数据结束前锁定且符合要求,图 8 给出了 10Mbps 和 100Mbps 模式在 SSS 情况下(最差工艺条件, $125^{\circ}C$) 锁定时恢复时钟的眼图.从图中可以看出,10M 模式恢复时钟的峰峰值抖动为 3ns,100M 模式下恢复时钟的峰峰值抖动为 0.6ns,均能保证数据的准确采样恢复.

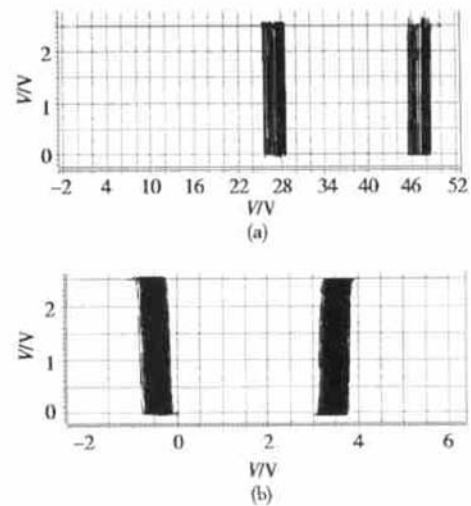


图 8 SS 工艺条件@ $125^{\circ}C$ 恢复时钟的眼图 (a) 10M 模式下恢复时钟的眼图; (b) 100M 模式下恢复时钟的眼图
Fig. 8 Eye diagram of recovered clock (a) At 10Mbps mode; (b) At 100Mbps mode

为了验证环路在不同工作模式下能否正常工作

以及不同模式之间能否正常切换,我们对电路作了一个总体流程的仿真:开始时电路工作在 100M 非数据传送模式,此时频率辅助捕捉环路调节 VCO 工作在 125MHz,之后电路进入 100M 数据接收模式,进行时钟的恢复,与数据保持同步;接着电路又恢复到 100M 非数据传输模式并转入 10M 非数据传送模式,此时频率捕捉环路调节 VCO 工作在 100MHz,然后电路进入 10M 数据接收模式,恢复时钟与数据保持同步;最后电路进入 10M 非数据传送模式并转回 100M 非数据传送模式,这样就完成电路所有的工作情况的仿真.图 9 是两种工作模式及同一模式下双环路分别工作的转换过程中 VCO 的控制电压的波形图,仿真条件为典型工艺参数 75°C.锁定时电压抖动很小,工作正常.

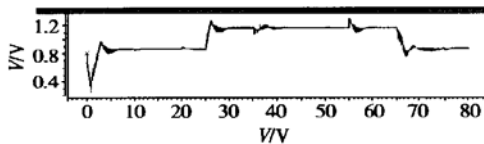


图 9 TTT 情况下电路的总体仿真

Fig. 9 Whole state-switch diagram

表 1 是该条件下电路的功耗和稳态相差的仿真结果.

表 1 TT@75°C 下的仿真结果

Table 1 Simulation results in TT @ 75°C

	功耗/mW	抖动相差/ns (p-p)
10M 模式	58	0.9
100M 模式	75	0.3

5 结论

本文设计了一个适用于 10/100Base-T 以太网卡的时钟恢复电路.采用复用的方法使电路能自适应工作在相应的模式下,同时采用一般的倒相器作延迟单元来代替 DLL,从而节省了芯片的面积和功耗.在各种条件下进行了仿真,电路均能正常工作.

参考文献

- [1] Tanenbaum A S. Computer Networks. Prentice Hall International Inc, 1996
- [2] Everitt J, Parker J F, Hurst P, et al. A CMOS transceiver for 10-Mb/s and 100-Mb/s ethernet. IEEE J Solid-State Circuits, 1998, 33(12): 2169
- [3] Carrier sense multiple access with collision detection (CSMA/CD) access method and physical layer specification. ISO/IEC 8802-3, ANSI/IEEE Standard 802.3 4th ed July 7, 1993
- [4] Banu M, Dunlop A. A 660Mb/s CMOS clock recovery circuit with instantaneous locking for NRZ data and Burst-Mode transmission. ISSCC Dig Tech Papers, 1993: 102
- [5] Chen D L. A power and area efficient CMOS clock/data recovery circuit for high-speed serial interfaces. IEEE J Solid-State Circuits, 1996, 31(8): 1170
- [6] Anand S B, Razavi B. A CMOS clock recovery circuit for 2.5-Gb/s NRZ data. IEEE J Solid-State Circuits, 2001, 36(3): 432
- [7] Razavi B. Design of analog CMOS integrated circuit. McGraw-Hill, 2001: 563
- [8] Maneatis J G. Low jitter process independent DLL and PLL based on self-biased techniques. IEEE J Solid-State Circuits, 1996, 31(11): 1723

Power and Area Efficient CMOS Clock Recovery Circuit for 10/100 Base-T Ethernet

Wang Yan, Ye Fan, Li Lian and Zheng Zengyu

(*State Key Laboratory of ASIC & Systems, Fudan University, Shanghai 200433, China*)

Abstract: A power and area efficient CMOS clock recovery circuit designed for the 10/100 base-T ethernet is described. The dual-loop structure is adopted to expedite the capture and track progress; With a control signal, the CRC circuit can work in 10Mbps or 100Mbps mode and easy to change from one state to another so that save the chip area compared to using two circuits working in single mode separately. The traditional DLL circuit is substituted by normal delay-cell, and the whole circuit performance will not be degraded by the variation of delay time arising from different technique and temperature condition and then the power dissipation will be saved. The simulation by Hspice shows that the IC consumes 75mW in 100Mbps mode with a jitter less than 0.3ns and 58mW in 10Mbps mode with a jitter less than 0.9ns from a 2.5V supply.

Key words: 10/100Base-T; DLL; CRC

EEACC: 1250; 1260; 1280

Article ID: 0253-4177(2003)06-0643-06

Wang Yan male, was born in 1978, candidate for master degree. His research interests mainly focus on analog and mixed-signal circuit design.

Ye Fan male, was born in 1978, candidate for master degree. He is interested in ASIC & system design.

Received 11 August 2002, revised manuscript received 11 December 2002

©2003 The Chinese Institute of Electronics