

板上芯片固化后残余应力分布的有限元模拟

黄卫东 孙志国 彩霞 罗乐 程兆年

(中国科学院上海微系统与信息技术研究所, 上海 200050)

摘要: 用有限元模拟研究了板上芯片固化后残余应力的分布. 在 FR4 及陶瓷分别作基板的两种情况下, 残余应力分布最显著的差异是等效应力分布不同. 讨论了基板厚度及粘合胶厚度对残余应力的影响, 表明采用陶瓷基板时增加粘合胶的厚度以降低残余应力来作为低应力封装的一种手段是可行的. 硅压阻传感芯片测量结果与计算机模拟结果的比较表明, 计算机模拟值与实验测量值比较接近, 测量值的正负区间与模拟值的正负区间吻合.

关键词: 板上芯片; 残余应力; 有限元模拟; 硅压阻传感器

EEACC: 0170J

中图分类号: TN305.95

文献标识码: A

文章编号: 0253-4177(2003)06-0649-07

1 引言

在电子封装中, 板上芯片(COB)因其较低的操作温度、较低的成本和较好的可靠性而被广泛应用于低成本封装中, 同时板上芯片封装中因热失配导致的残余应力问题也引起关注^[1,2]. 某些特殊的传感器芯片(如硅微加速度传感器和硅微压力传感器)对残余应力极为敏感, 残余应力可能会使传感器的输出信号受到影响. 在封装设计中需要预先了解芯片和其他封装部件在封装过程中的应力变化及其可能引入的残余应力, 从而优化所采用的封装结构及封装材料. 虽然对残余应力已有一定的实验研究^[3-6], 其中有的研究还结合了有限元分析, 但至今仍缺乏对残余应力分布规律较详细的讨论.

本文运用有限元模拟方法, 综合讨论了多种因素对板上芯片残余应力分布的影响, 并将模拟结果与残余应力的压阻传感实验测量进行比较, 为电子封装及 MEMS 器件的封装设计提供一般性依据.

2 有限元模拟

有限元模拟中的芯片尺寸为 6.6mm×6.6mm, 厚度为 1.35mm. 基板材料的尺寸为 40mm×40mm, 厚度为 1mm. 图 1 为有限元模拟中的 COB

封装结构简图.

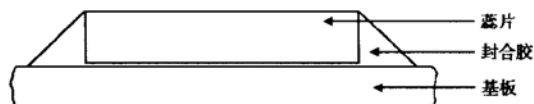


图 1 COB 封装结构简图

Fig. 1 Schematic diagram of COB package

基板分别采用 FR4 有机层压板和陶瓷板, 以模拟不同基板对残余应力的影响. 选择基板上几个不同的粘贴位置, 采用 ANSYS 有限元分析软件进行计算机模拟. 图 2 显示了芯片粘贴在基板中央位置时的有限元网格划分, 其节点数目为 9549, 元素数目为 8232.

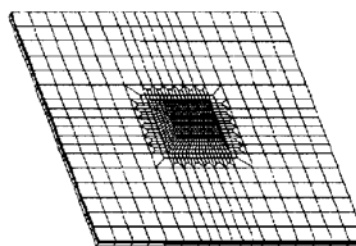


图 2 COB 封装结构的有限元分析网格

Fig. 2 Mesh for finite element analysis of COB package structure

模拟中采用的封合胶的玻璃化转变温度 $\theta_g = 135^\circ\text{C}$, 有关的材料参数见表 1. 模拟得到的是从起

始温度 150℃到固化结束后 20℃时的芯片残余应力分布情况. 在该温度区间基板和芯片采用线弹性模型, 粘接剂采用温度相关弹性模型.

表 1 有限元模拟中采用的材料参数

Table 1 Material parameters used in finite element simulation

材 料	杨氏模量/MPa	泊松比	热膨胀系数/℃ ⁻¹
Si	131000	0.30	2.7×10^{-6}
FR4	16000	0.28	1.6×10^{-5}
陶瓷	296000	0.28	5.9×10^{-6}
封合胶	低温 9000	0.30	低温 2.6×10^{-5}
	高温 300		高温 1.1×10^{-4}

3 结果与讨论

3.1 芯片粘贴在基板的不同位置时的残余应力分布

如图 3 所示, 选择基板上的 1、2、3、4、5 共五个位置粘贴芯片, 分别单独就这五个位置用有限元模拟分析固化后芯片残余应力的分布. 表 2 是基板采用 FR4、胶的厚度为 0.05mm 时固化后冷却至室温后这五个粘贴位置上芯片各处所受到的等效应力 (S_{eq}) 以及与基板平行的平面内的正应力 (S_x 、 S_y) 和剪切应力 (S_{xy}) 的最大值和最小值. 表中的数据表明,

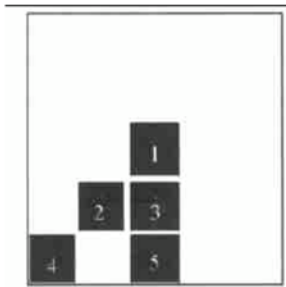


图 3 芯片在基板上的粘贴位置
Fig. 3 Chip sites on the substrate

表 2 FR4 作基板时不同粘贴位置上的有限元模拟结果 MPa

Table 2 Summary of finite element simulations for different chip sites on FR4 substrate MPa

		1	2	3	4	5
S_{eq}	Max	177.65	177.565	177.604	178.006	177.927
	Min	44.964	44.722	44.757	44.359	44.46
S_x	Max	78.127	78.007	78.006	77.577	77.561
	Min	-161.421	-160.844	-161.079	-161.383	-160.582
S_y	Max	78.098	78.014	78.121	77.569	78.153
	Min	-161.411	-160.855	-161.528	-161.377	-161.595
S_{xy}	Max	57.504	57.181	57.473	55.723	57.251
	Min	-56.248	-56.287	-56.161	-56.273	-56.253

粘贴在 1、2、3、4、5 这五个位置上时芯片内残余应力的大小基本相同, 且其分布特点也十分相似. 图 4 给出了芯片粘贴在 FR4 基板中心位置时残余应力分布的模拟结果. 可见, 芯片等效应力的最大值处于芯

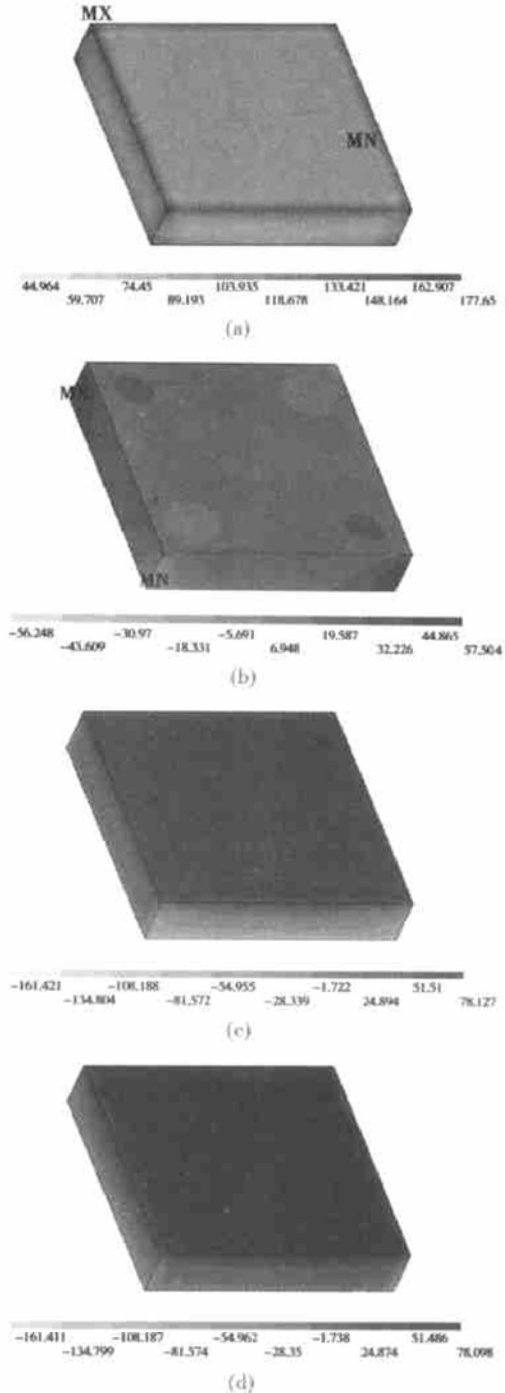


图 4 芯片粘贴在 FR4 基板中心位置时残余应力分布的模拟结果 (a) 等效应力 S_{eq} 分布; (b) 剪切应力 S_{xy} 分布; (c) 正应力 S_x 分布; (d) 正应力 S_y 分布

Fig. 4 Simulation results for residual stress with chip on the center of FR4 substrate

片上表面的四个顶角,其最小值位于芯片的四个侧面中央.剪切应力的最大值和最小值处于芯片下表面的四个顶角.正应力中的拉应力(正值)的最大值分布在芯片上表面,分布范围较广,而正应力中的压应力(负值)的最大值分布在芯片下表面的四条棱边上.总之,从模拟结果可以得出,芯片在FR4基板上的粘贴位置对芯片内残余应力的大小及分布基本无影响.

表3是基板采用陶瓷,胶的厚度为0.05mm时固化冷却至室温后这五个粘贴位置上芯片所受到的等效应力(S_{eqv})以及与基板平行的平面内的正应力(S_x 、 S_y)和剪切应力(S_{xy})的最大值和最小值.表中的数据表明,粘贴在1、2、3、4、5这五个位置时芯片表面残余应力的大小基本相同,其分布特点也由模拟结果发现与粘贴位置无关,但残余应力的大小数值及分布规律与采用FR4时完全不同.由表可知,等效应力的最大值远大于上述FR4基板时的情形,最大拉应力相差不大,但最大压应力有一定差距,而剪切应力的最大值则几乎为FR4基板时的一半.图5给出了芯片粘贴在陶瓷基板中心位置时残余应力

的模拟结果.可见,采用陶瓷作基板时芯片等效应力的最大值处于芯片下表面的四个顶角,其最小值位于芯片的上表面中央.剪切应力的最大值和最小值处于芯片四侧棱边的中央.正应力中的拉应力的最大值分布在芯片上表面四边附近,而正应力中的压应力的最大值分布在芯片下表面的四条边线上.总之,从模拟结果亦可以得出,芯片在陶瓷基板上的粘贴位置对芯片表面残余应力的大小及分布基本无影响.

表3 陶瓷作基板时不同粘贴位置上的有限元模拟结果 MPa

Table 3 Summary of finite element simulations for different chip sites on ceramic substrate		MPa				
		1	2	3	4	5
S_{eqv}	Max	303.317	302.844	303.419	305.062	303.388
	Min	13.008	12.737	12.889	11.746	12.399
S_x	Max	80.356	80.303	80.311	80.175	80.269
	Min	-107.284	-107.4	-107.444	-109.23	-107.799
S_y	Max	80.379	80.325	80.326	80.219	80.267
	Min	-107.386	-107.29	-107.489	-109.045	-107.676
S_{xy}	Max	28.705	28.678	28.7	28.397	28.597
	Min	-27.797	-28.19	-28.026	-28.359	-28.178

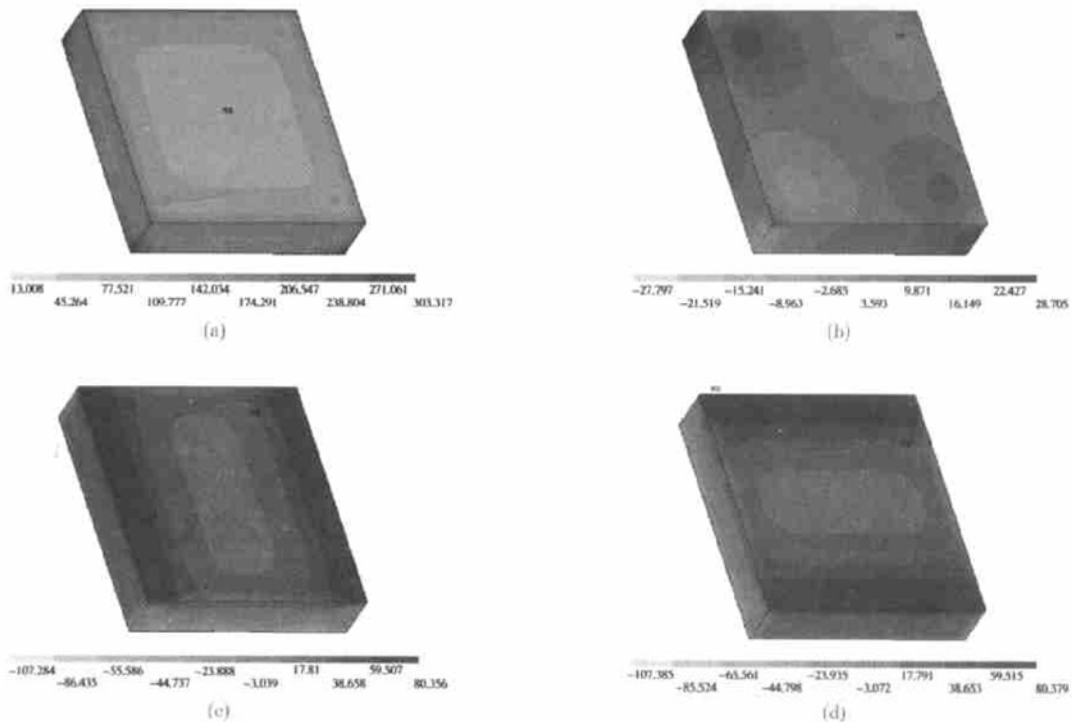


图5 芯片粘贴在陶瓷基板中心位置时残余应力分布的模拟结果

Fig. 5 Simulation results for residual stress with chip on the center of ceramic substrate

在FR4及陶瓷分别作基板的两种情况下,残余应力分布的最显著差异是等效应力的分布截然不

同,采用FR4作基板时芯片等效应力的最大值处于芯片上表面的四个顶角,而采用陶瓷作基板时芯片

等效应力的最大值处于芯片下表面的四个顶角. 这是由于基板热膨胀系数不同而造成胶固化后对芯片的约束不同而引起的. 图 6 给出了固化后 FR4 及陶瓷分别作基板时两种情况下芯片-胶-基板处的形变位移(为清楚起见, 位移量放大相同倍数), 可见芯片在 FR4 作基板时比在陶瓷作基板时呈现出更大的拱状. 表 4 给出了固化后芯片右上方上下两顶点的位移值 U_x 、 U_y 、 U_z , 可见 z 方向的位移 U_z 在 FR4 作基板时比陶瓷作基板时大 2~4 倍. 在陶瓷作基板时, 芯片等效应力的最大值处于芯片下表面的四个顶角上, 这种情况有可能会萌生芯片与胶之间的分层开裂, 从这一角度看, 板上芯片采用 FR4 作基板比采用陶瓷更有利于防止芯片-胶的分层开裂.

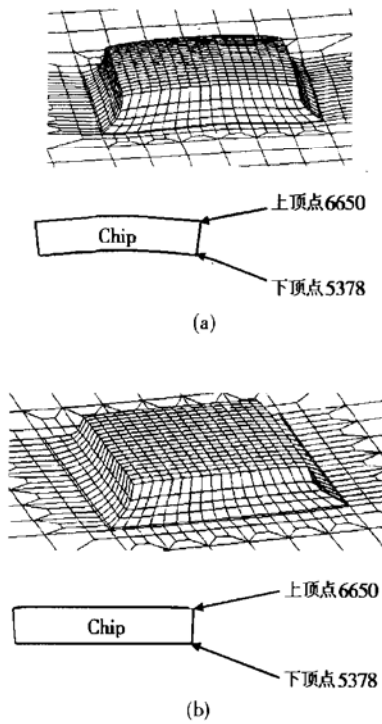


图 6 FR4 及陶瓷分别作基板时两种情况下芯片-胶-基板处的形变

Fig. 6 Schematic deformation at chip-adhesive-substrate joint with FR4 substrate and ceramic substrate respectively

表 4 固化后芯片上下两顶角节点的位移值

Table 4 Displacement values of nodes at two tops of the chip after curing

基板类型	顶点位置	节点号	U_x/mm	U_y/mm	U_z/mm
FR4	上	6650	-0.12722×10^{-3}	-0.12734×10^{-3}	-0.12322×10^{-1}
	下	5378	-0.35452×10^{-2}	-0.35454×10^{-2}	-0.10624×10^{-1}
陶瓷	上	6650	-0.64528×10^{-3}	-0.64566×10^{-3}	-0.52160×10^{-2}
	下	5378	-0.21383×10^{-2}	-0.21387×10^{-2}	-0.26498×10^{-2}

3.2 基板的厚度对残余应力的影响

研究 COB 封装结构中基板的厚度对残余应力的影响是很有必要的. 图 7 给出了基板采用 FR4 时不同基板厚度下固化后冷却至室温(15~20°C)时芯片的最大等效应力、最大剪切应力及正应力中的最大拉应力. 显然当基板厚度小于 1mm 时, 残余应力随基板厚度增加而增加较明显; 而当基板厚度大于 1mm 时, 残余应力随基板厚度变化的趋势较为平坦. 图 8 给出了基板采用陶瓷时不同基板厚度下固化后冷却至室温时芯片的最大等效应力、最大剪切应力及正应力中的最大拉应力. 同样当基板厚度小于 1mm 时, 残余应力随基板厚度增加而增加的特点较明显; 而当基板厚度大于 1mm 时, 残余应力随基板厚度变化的趋势亦较为平坦. 因此可认为在实际的封装结构中, 基板厚度基本上不太会影响残余应力的大小及分布.

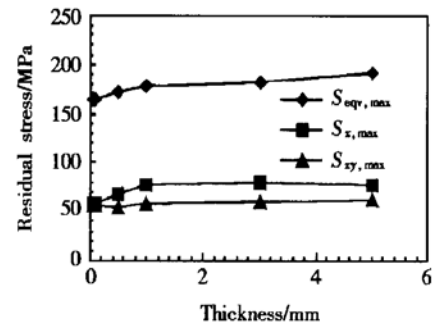


图 7 采用不同 FR4 基板厚度时固化后芯片的残余应力 胶厚 0.05mm, 芯片厚度 1.35mm

Fig. 7 Residual stress in chip vs the thickness of FR4 substrate after curing thickness of adhesive = 0.05mm, thickness of chip = 1.35mm

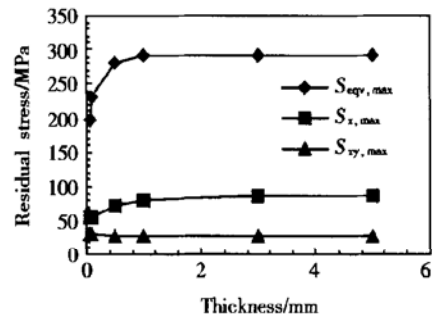


图 8 采用不同陶瓷基板厚度时固化后芯片的残余应力 胶厚 0.05mm, 芯片厚度 1.35mm

Fig. 8 Residual stress in chip vs the thickness of ceramic substrate after curing thickness of adhesive = 0.05mm, thickness of chip = 1.35mm.

3.3 粘合胶的厚度对残余应力的影响

图 9 给出了基板采用 FR4 时不同胶厚度下冷却至室温固化结束后芯片的最大等效应力、最大剪切应力及正应力中的最大拉应力, 虽然最大等效应力及正应力中的最大拉应力随胶厚度增加而减小, 但是它们的变化范围不大. 而最大剪切应力随胶厚度增加先减后增, 其影响达 25%~30%.

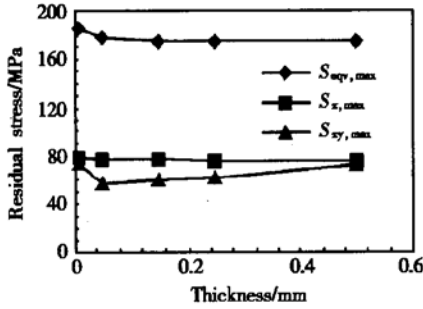


图 9 采用 FR4 基板时不同胶厚度下固化后芯片的残余应力

Fig. 9 Residual stress in chip vs the thickness of adhesive after curing with FR4 substrate used

图 10 给出了基板采用陶瓷时不同胶厚度下冷却至室温固化结束后芯片的最大等效应力、最大剪切应力及正应力中的最大拉应力. 由图可见, 最大剪切应力随胶厚度增加而增加, 正应力中的最大拉应力则随胶厚度增加而减小, 但是它们的变化范围不大, 几乎可认为没有影响. 值得关注的是芯片的最大等效应力随胶厚度增加而明显减小, 胶厚度从 0.005mm 增加到 0.50mm 时最大等效应力降低了约 40%, 因此采

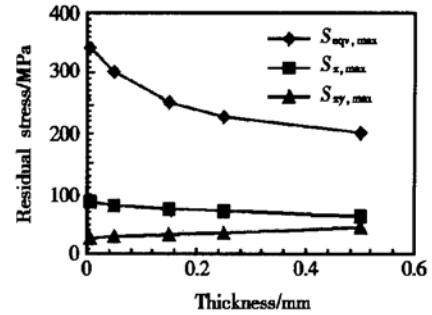


图 10 采用陶瓷基板时不同胶厚度下固化后芯片的残余应力

Fig. 10 Residual stress in chip vs the thickness of adhesive after curing with ceramic substrate used

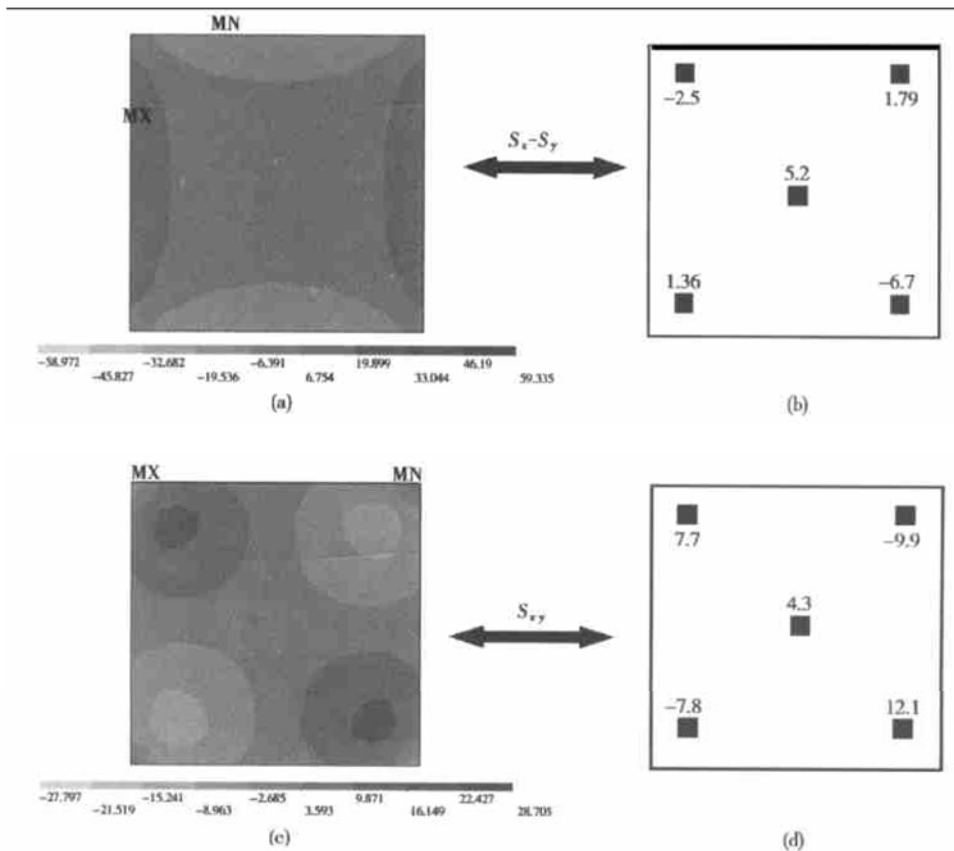


图 11 FR4 作基板时芯片残余应力的模拟值与实验值的比较 (a)、(c) 有限元模拟结果; (b)、(d) 硅压阻传感芯片测量值
Fig. 11 Comparison of residual stress between results simulated and data measured when FR4 substrate used

用陶瓷基板时增加封接胶的厚度以降低残余应力来作为低应力封装的一种手段是可行的。

4 与实验的比较

为验证上述残余应力的计算机模拟结果,采用硅压阻传感芯片测量方法^[6]进行实际的残余应力分布的测量,测量中的材料及尺寸与计算机模拟一致.图 11 中的(a)、(c)分别给出了采用 FR4 基板时固化后冷却至室温时芯片的测试面上平面正应力差值和平面剪切应力的分布,(b)、(d)表示相应的硅压

阻传感芯片上的五个测试点,各位置处的数据是实验得到的测量值.由于必须作温度补偿,所以实验上只能测得 $S_x - S_y$ 和 S_{xy} .图 12 中的(a)、(c)分别给出了采用陶瓷基板时固化后冷却至室温时芯片的测试面上平面正应力差值和平面剪切应力的分布,(b)、(d)亦表示相应的硅压阻传感芯片上的五个测试点,各位置处的数据是相应的测量值.通过对比可以表明,硅压阻传感芯片测量值与计算机模拟值接近,硅压阻传感芯片测量值的正负区间与计算机模拟值的正负区间相吻合。

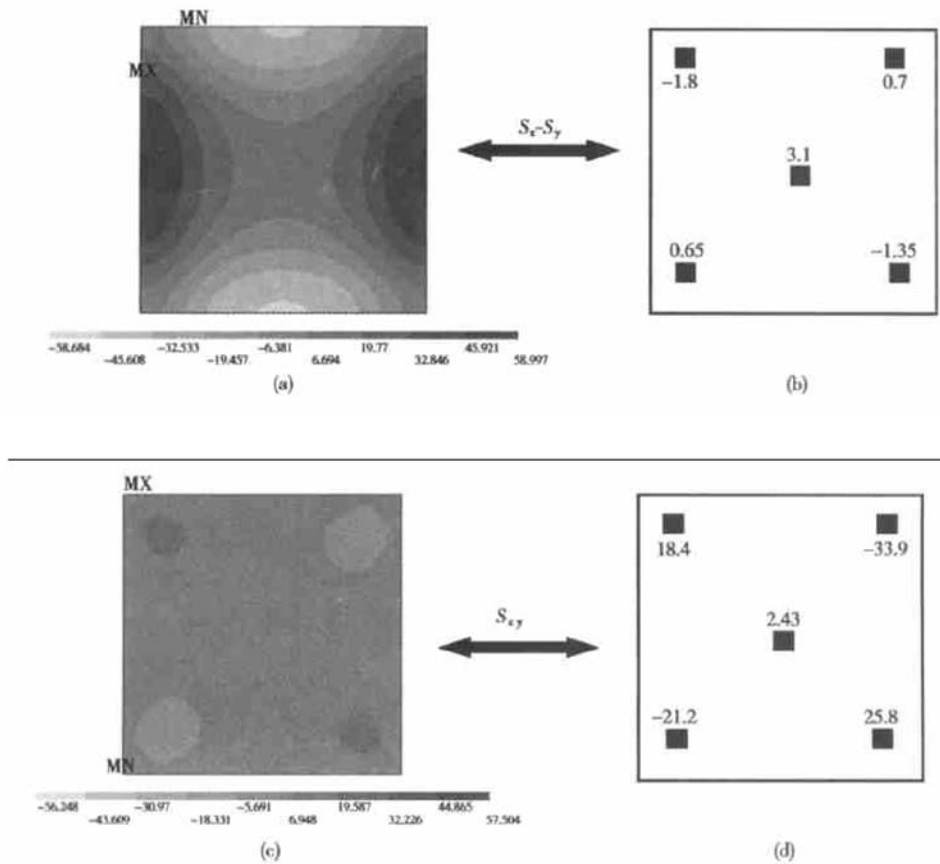


图 12 陶瓷作基板时芯片残余应力的模拟值与实验值的比较 (a)、(c) 有限元模拟结果; (b)、(d) 硅压阻传感芯片测量值
Fig. 12 Comparison of residual stress between results simulated and data measured with ceramic substrate used

5 结论

(1) 在 FR4 及陶瓷分别作基板的两种情况下,残余应力分布的最显著的差异是等效应力分布不同,陶瓷作基板时芯片等效应力的最大值处于芯片下表面的四个顶角,这有可能会萌发芯片与胶之间

的分层开裂。

(2) 基板厚度只在小于 1mm 时对残余应力的影响较明显,可认为在实际的封装结构中,基板厚度基本上不会影响残余应力的大小及分布。

(3) FR4 作基板时胶的厚度只对最大剪切应力有一定影响.采用陶瓷基板时增加封接胶的厚度以降低残余应力来作为低应力封装的一种手段是可行

的。

(4) 计算机模拟结果与硅压阻传感芯片测量结果接近, 测量值的正负区间与模拟值的正负区间吻合。

参考文献

- [1] Van Kessel C G M, Gee S A, Murphy J J. The quality of die attachment and its relationship to stress and vertical die cracking. *IEEE Trans Compon, Hybrids Manuf Technol*, 1983, CHMT-6(4): 414
- [2] Kelly G, Lyden C, Lawton W, et al. Importance of molding compound chemical shrinkage in the stress and warpage analysis of PQFP's. *IEEE Trans Compon, Packag, Manuf Technol B*, 1996, 19(2): 296
- [3] Li Gray, Tseng A A. Low stress packaging of a micromachined accelerometer. *IEEE Trans Electron Packag Manuf*, 2001, 24(1): 18
- [4] Zou Y D, Suhling J C, Johnson R W, et al. In-situ stress state measurement during chip on board assembly. *IEEE Trans Electron Packag Manuf*, 1999, 22(1): 38
- [5] Voloshin A S, Tsao P H, Pearson R A. In situ evaluation of residual stress in an organic die attach adhesive. *J Electron Packag*, 1998, 120(9): 314
- [6] Sun Zhiguo, Zhang Qun, Huang Weidong, et al. Evolution residual in-plane stress during curing process and thermal treatment of COB packages. *Chinese Journal of Semiconductors*, 2002, 23(8): 874 [孙志国, 张群, 黄卫东, 等. 板上芯片固化及热处理过程中表面残余应力的演变. *半导体学报*, 2002, 23(8): 874]

Distribution of Residual Stress in Packaging Assemblies of Chip on Board

Huang Weidong, Sun Zhiguo, Cai Xia, Luo Le and Cheng Zhaonian

(*Shanghai Institute of Microsystem and Information Technology, The Chinese Academy of Sciences, Shanghai 200050, China*)

Abstract: The distribution of residual stress in the packaging assemblies of chip on board (COB) is investigated using FE simulations and experiments. Using FR4 and ceramic substrates, the most obvious difference of residual stress is on the distribution of equivalent stress. The simulation results show that the thickness of the substrate has an influence on residual stress only for thickness 0~ 1.0mm. The simulations also indicate that the thickness of adhesive has some effects only on the residual shear stress when FR4 substrate is used. But in case of ceramic substrate, the equivalent stress decreased significantly as the thickness of adhesive increased. It means that the adjustment of the thickness of adhesive could be served as a process for low stress packaging of a ceramic-based structure. The simulated results are near to the data measured by test of silicon piezoresistive sensors, and the signs (positive or negative) of the residual stress of both the simulation and measurement are also the same everywhere on the top surface of the die.

Key words: chip on board; residual stress; finite element simulation; silicon piezoresistive sensor

EEACC: 0170J

Article ID: 0253-4177(2003)06-0649-07