

多能级闪存的总剂量辐射效应

孟宣华 殷光迁 顾 靖 何国伟

(复旦大学材料科学系, 上海 200433)

摘要: 介绍了一种新型的存储技术——多能级存储, 并对应用此技术的多能级闪存进行 γ 射线辐射, 研究了多能级闪存的阈值电压及存储单元的电性能曲线等随辐射剂量、辐射剂量率以及时间的关系规律. 对实验结果进行了理论解释和讨论.

关键词: 多能级闪存; 浮栅; γ 射线; 辐射效应

EEACC: 1265D; 2550R

中图分类号: TN432

文献标识码: A

文章编号: 0253-4177(2003)06-0656-07

1 引言

闪存是近年来出现的一种新型电擦可编程不挥发存储器. 它是 EPROM 和 E²EPROM 工艺综合的产物, 兼顾了这两种存储器的优点: 既有 EPROM 的结构简单、密度高的优点, 又可以像 E²EPROM 那样进行电擦除和电编程. 此外, 闪存还具有访问时间短、可靠性高的特点(可反复擦写 10⁵ 次而不失效), 因此作为一种理想的存储介质, 可以广泛应用在不需要频繁读写的领域如手机、广播解码器以及计算机等领域^[1].

传统的闪存, 每个单元存储一个字节, 两种阈值对应于两种逻辑状态“1”和“0”. 理论上讲, 定义更多的阈值电压能级作为不同的逻辑状态, 可以在一个单元上存储更多的字节^[2]: 4 个阈值电压能级可存储 2 字节/单元, 8 个阈值电压能级可存储 3 字节/单元, 以此类推. 随着闪存技术的飞速发展, NOR 结构的多能级闪存已经市场化. 多能级快闪存存在增加存储容量的同时并没有增加芯片的尺寸, 从而降低了每个字节的成本, 但是由于需要在单元管的浮栅上存储多于两种能级的电荷, 如何精确地充放电、精确地感应电荷以及长时间地存储电荷, 成为应用此技术的关键.

自从 9·11 事件以来, 反恐怖行动大大升级. 机场使用高能 X 射线进行安全质检, 邮局使用 γ 射线查杀炭疽病毒, 已有报道称这些辐射会对诸如手机、手提电脑等有所损害. 研究这些器件的辐射效应, 显得刻不容缓. 以前有关辐射的探讨主要是针对空间物理学, 这方面的研究有: CMOS 器件的 γ 射线辐射研究^[3], 闪存的单粒子效应^[4,5], 不同温度下的辐射对闪存性能的影响^[6], 辐射剂量对多能级闪存的各种操作模式的影响^[5], 辐射感生氧化物陷阱电荷和界面态陷阱电荷研究^[7-11], 辐射影响浮栅的机理探究^[12,13]等.

本文主要研究了不同的辐射剂量率及不同的辐射总剂量下, γ 射线对多能级闪存性能的影响, 并首次就辐射对多能级闪存产生的各种变化给予系统理论的解释.

2 多能级闪存技术

多能级闪存单元是一种三明治式的双栅结构——底部的多晶硅浮栅和顶部的多晶硅控制栅, 栅与栅之间用绝缘的介质层如 SiO₂、ONO 隔开, 浮栅与衬底之间生长了一层很薄的高质量隧道氧化层, 其结构如图 1 所示. 编程(写)时, 控制栅加 12V 左右的电压, 使沟道里的热电子通过热电子注射进入

孟宣华 男, 研究生, 主要研究领域为电子封装以及电子产品的抗辐射研究.

2002-07-12 收到, 2002-09-11 定稿

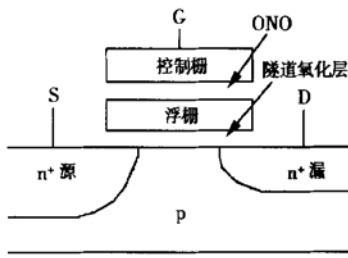


图 1 多能级闪存的结构示意图

Fig. 1 Schematic view of multi-level flash memory structure

浮栅, 见图 2(a). 擦除则相反, 通过 F-N 隧道效应将电子拉出浮栅, 见图 2(b) 和 (c). 擦除方式有两种^[14]: 一种是通过整个沟道的 F-N 隧穿, 一种是通过源端或漏端的 F-N 隧穿. 不同于普通的闪存, 多能级闪存存在编程时, 通过调整热电子注射时间, 使浮

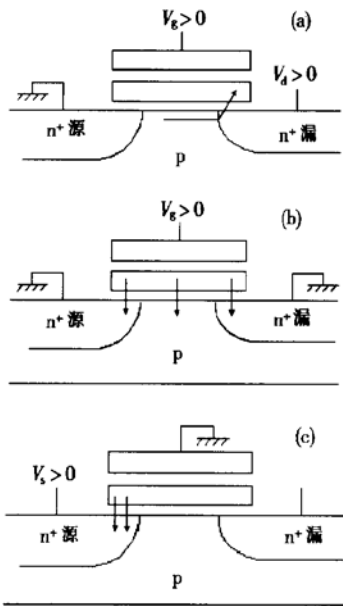


图 2 多能级闪存的各种操作模式 (a) 编程模式(热电子注入); (b) 擦除模式(整个沟道的 F-N 隧穿); (c) 擦除模式(源端的 F-N 隧穿)

Fig. 2 Various operation modes of multi-level flash (a) Programming mode (hot electrons injection); (b) Erase mode (F-N tunneling over the whole channel area); (c) Erase mode (F-N tunneling at the drain)

栅上的电子数处于 4 种状态, 对应于 4 种阈值电压, 从而达到存储“00”、“01”、“10”、“11”四种状态的目的. 图 3 比较了普通闪存和多能级闪存的阈值分布. 读操作是在控制栅上加 5V 电压, 由于浮栅上的电

子有屏蔽电场的作用, 所以浮栅上的电子越多, 阈值电压越高, 测得的漏端电流就越小, 通过漏端电流的大小即可判定闪存的存储状态.

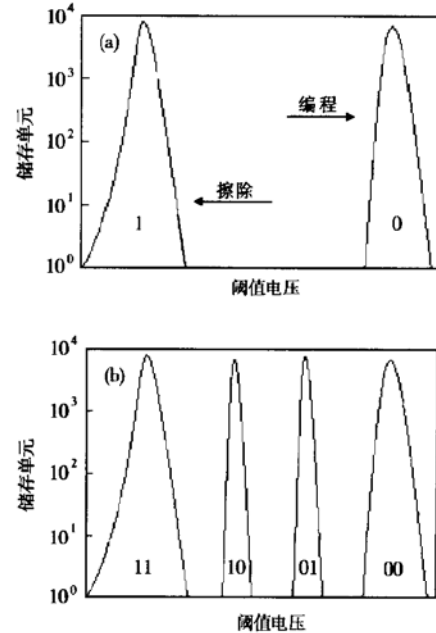


图 3 普通闪存和多能级闪存的阈值电压分布比较 (a) 普通闪存; (b) 多能级闪存

Fig. 3 Comparison of cell threshold voltage distribution for conventional and multi-level flash memories (a) Conventional flash memory; (b) Multi-level flash memory

由于多能级闪存的存储能级比较接近, 浮栅上电子的失去或控制不精确, 均会引起能级交叉, 因此多能级闪存必须要有特殊的电路在编程时将浮栅上的电子控制在狭窄的范围之内, 而在读时必须能区别浮栅上的电子数量. 这也是多能级闪存不同于普通闪存之处.

3 器件及辐射实验

实验采用的器件为 NOR 结构的 64M 多能级闪存, 其存储单元为 N 沟的浮栅 MOS, 它可以存储“00”、“01”、“10”、“11”四种状态, 对应的浮栅上的电子以及阈值电压均是由高到低. 其工作电压为 3V, 器件自身内部用电荷泵产生编程和擦除所需要的高压, 一般为 12V. 擦除采用的是源端 F-N 隧穿.

辐射实验是在上海原子核物理所的⁶⁰Co γ 射线辐射装置上进行的. 辐射剂量率分别为 5rad(Si)/s 和 50rad(Si)/s, 各个剂量率下分别辐射 10、100 和

350min, 这样剂量率 5rad(Si)/s 下的总剂量分别为 3×10^3 、 3×10^4 和 1.05×10^5 rad(Si), 剂量率 50rad(Si)/s 下的总剂量分别为 3×10^4 、 3×10^5 和 1.05×10^6 rad(Si). 辐射环境温度为 35℃左右, 辐射时所有的器件均为开路.

器件的参数测量是在 FAT5 系统上完成的. 其写操作是在控制栅加 11~ 12V 电压, 漏端加 5~ 6V 电压, 源端接地. 擦除操作是在控制栅上加 - 12V, 源端加 3V, 漏端开路. 读操作是在控制栅加 5V, 漏端 1V, 源端接地. 阈值电压的定义为当漏端电流为 10μA 时的控制电压.

4 结果与讨论

众所周知, MOSFET 辐射后最显著的效应就是在栅氧化层中产生辐射感生氧化物陷阱电荷以及界面态陷阱电荷. 对 PMOS 而言, 这两种效应都使阈值电压向负方向漂移; 对 NMOS, 前者使阈值电压向负漂移, 后者使之向正漂移^[5].

图 4(a) 和(b) 分别给出了在两种辐射剂量率下, 四种存储状态的阈值电压随辐射剂量的变化. 可以看出: 在“00”、“01”、“10”三种状态, 不同的辐射剂

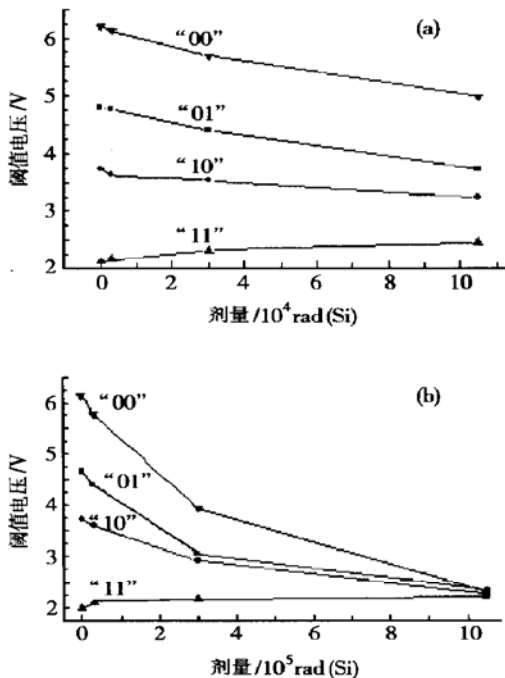


图 4 阈值电压随辐射剂量的变化关系 (a) 5rad(Si)/s; (b) 50rad(Si)/s
Fig. 4 Impact of the irradiation dose on the threshold voltage (a) 5rad(Si)/s; (b) 50rad(Si)/s

量率下, 阈值电压均随辐射剂量的增大而减小, 只有“11”状态随辐射剂量的增大而增大, 而且当辐射剂量增大时, 所有状态的阈值电压都趋于相同, 这种现象可归结为浮栅上的总电荷效应的变化^[13], 如图 5 所示, 可以由以下三种机制来解释:

(1) 在“00”、“01”、“10”三种状态时, 浮栅上的电子数较多, 从而产生场强指向浮栅的内建场. 辐射将在浮栅两旁的 ONO 和 SiO₂ 中产生电子空穴对, 这些辐射感生的电子空穴对绝大部分立刻被复合掉, 剩下的电子空穴对在内建场的作用下, 沿相反方向运动. 由于电子速度比较快, 很快就被扫描出介质层, 而空穴的漂移速度远远小于电子的速度, 其在电场的作用下缓慢向浮栅移动^[6], 一部分空穴被介质中的氧化物陷阱所俘获, 成为带正电的氧化物陷阱电荷, 剩下的则进入浮栅与电子复合. 其总量是一定的, 这两种效果均使单元的阈值电压下降. 而在“11”

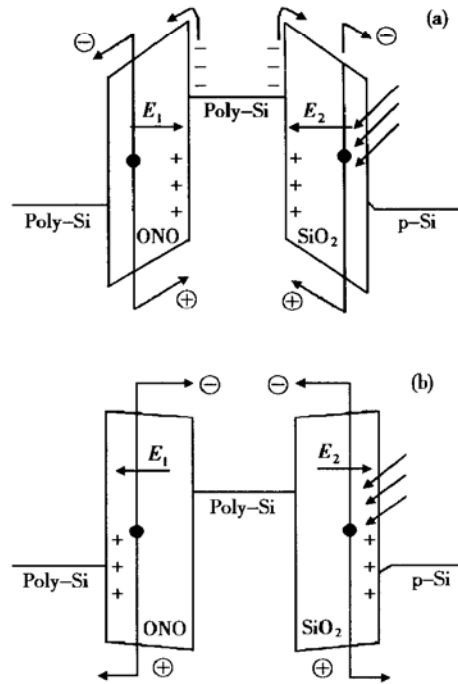


图 5 多能级闪存的存储状态在辐射时的浮栅能带图 (a) “00”、“01”、“10”状态; (b) “11”状态
Fig. 5 Energy band diagram of the FG at different storage states under irradiation (a) States of “00”, “01”, “10”; (b) State of “11”

状态时, 浮栅上基本没有电子, 其内建场方向是由浮栅指向介质. 在内建场作用下, 辐射产生的未被复合掉的电子空穴对分离, 电子漂移进浮栅, 使单元的阈值电压上升, 而空穴一部分成为氧化物陷阱电荷, 使

单元的阈值电压下降,一部分被扫描进衬底和控制栅,对阈值不产生影响.由于进入浮栅的电子数大于氧化物陷阱电荷数,所以总的效果是阈值电压上升.

(2) 浮栅上的部分电子在辐射时得到足够大的能量足以克服浮栅与 ONO 和 SiO₂ 间的势垒,进入衬底和控制栅,这与 EPROM 用紫外线进行擦除的原理相似.

(3) SiO₂ 层中带正电的氧化物陷阱电荷的存在,降低了浮栅和 Si 之间的势垒高度,导致浮栅和 Si 衬底之间的隧道电流增大^[12].

以上三种机制相互作用,使得“00”、“01”、“10”

三种状态的阈值电压下降,而“11”状态的阈值电压上升.当剂量足够大时,这三种机制相互作用达到平衡,四种状态的阈值电压即趋于相同.

图 6 给出了剂量率为 50rad(Si)/s 时,四种存储状态随辐射剂量变化的 $I_{ds}-V_{gs}$ 曲线.可以看出:不同的剂量率下,随着辐射剂量的增大,“00”、“01”、“10”三种状态的 $I_{ds}-V_{gs}$ 曲线均向负方向漂移,只有“11”状态向正方向漂移,且当辐射剂量增大时,所有的 $I_{ds}-V_{gs}$ 曲线都趋于一致.这种现象同样可以利用上面的理论进行解释.

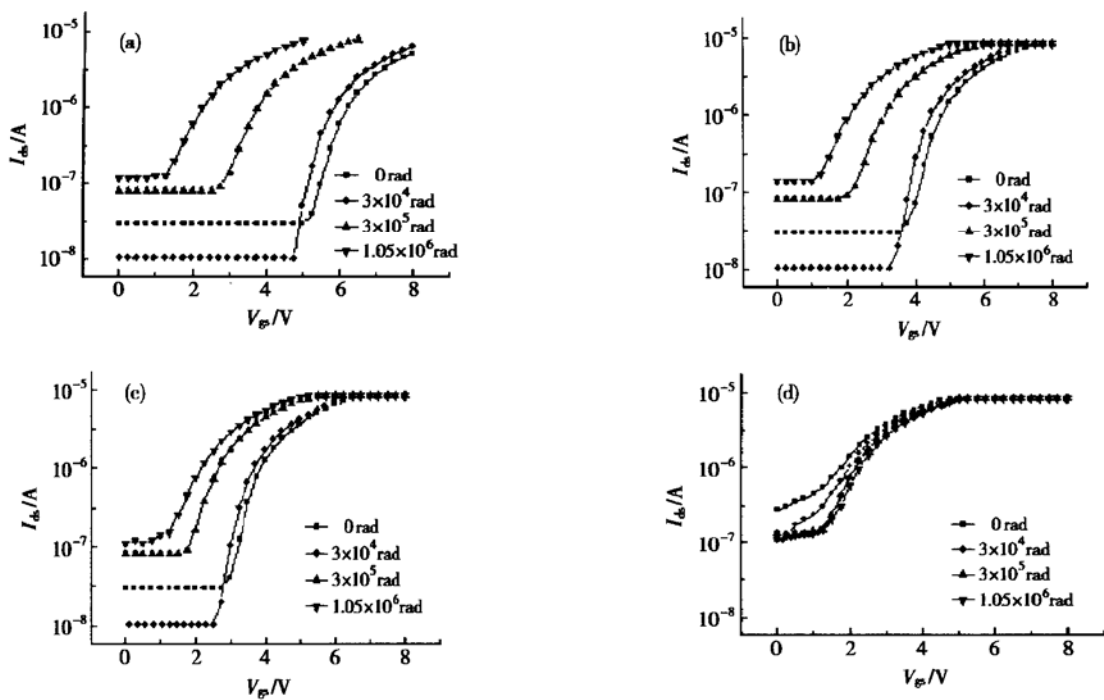


图 6 50rad(Si)/s 时多能级闪存的 $I_{ds}-V_{gs}$ 随辐射剂量的变化关系 (a) “00”状态; (b) “01”状态; (c) “10”状态; (d) “11”状态
Fig. 6 Impact of the irradiation dose on $I_{ds}-V_{gs}$ at the dose rate of 50rad(Si)/s (a) State of “00”; (b) State of “01”; (c) State of “10”; (d) State of “11”

图 7 给出了剂量率为 5rad(Si)/s 时,四种存储状态的 $I_{ds}-V_{ds}$ 曲线随总剂量的变化情况.可以看出:曲线首先随剂量增大向下漂移,剂量再大时,才向上漂移.剂量率为 50rad(Si)/s 时,曲线表现得比较无规律,随着剂量的增大,曲线既可能向上也可能向下漂移.解释这种现象,需进一步研究浮栅上电子的得失以及辐射感生的氧化物陷阱电荷和界面态陷阱电荷.

表 1 给出了总剂量相同时,不同的剂量率对器件阈值电压的影响.可以看出:低剂量率辐射后的阈值电压比高剂量率辐射后的阈值电压小.根据现有

理论,总剂量一定时,剂量率低时达到相同的剂量所需的时间长,从而空穴有较长的漂移时间在界面产生相对多的界面陷阱电荷,而且辐射感生氧化物陷阱电荷在 125℃ 以下存在着极其轻微的退火效应^[17],时间越长,退火效应越明显.这两种效果都使低剂量率辐射后的阈值电压比高剂量率时低,正好与实验结果相反.考虑到辐射剂量率小时,辐射时间长,浮栅上的电子克服浮栅与 ONO 和 SiO₂ 间的势垒高度跃迁至两边介质的相对较多,效果是使低剂量率时的阈值电压比高剂量率时低.具体解释这一现象,需要综合考虑这三方面的因素以及进一步研究.

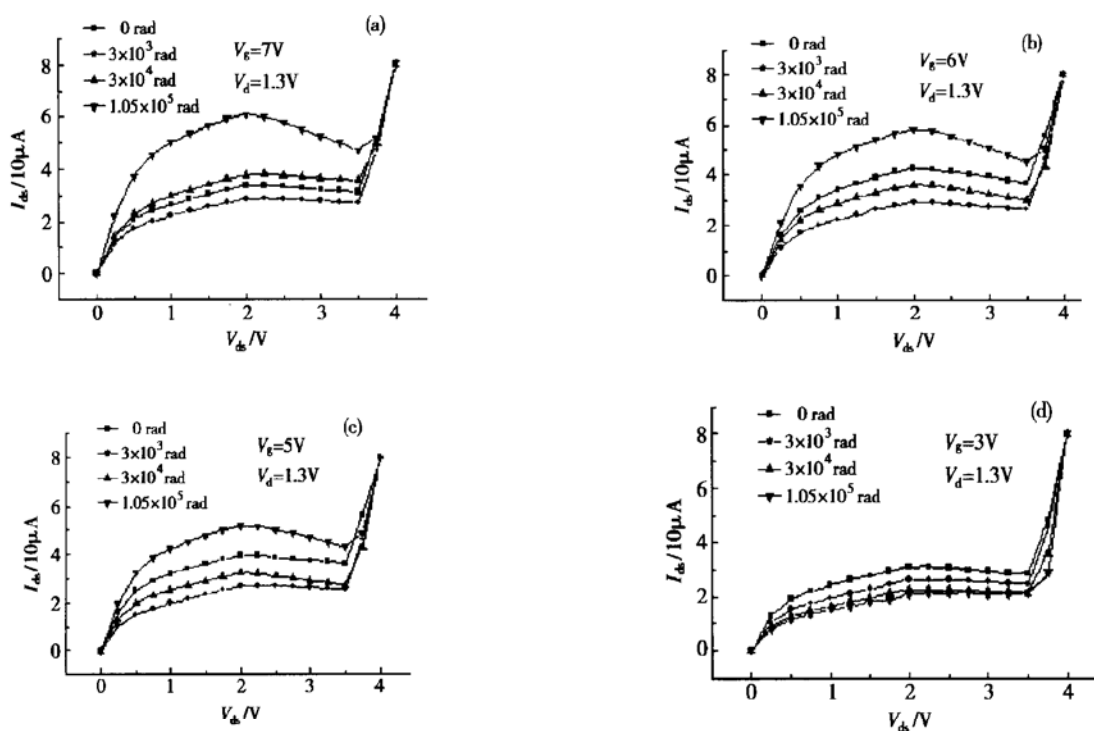


图 7 5rad(Si)/s 时多能级闪存的 $I_{ds}-V_{ds}$ 随辐射剂量的变化关系 (a) “00”状态; (b) “01”状态; (c) “10”状态; (d) “11”状态

Fig. 7 Impact of the irradiation dose on $I_{ds}-V_{ds}$ at the dose rate of 5rad(Si)/s (a) State of “00”; (b) State of “01”; (c) State of “10”; (d) State of “11”

表 1 相同剂量不同剂量率下的阈值电压

Table 1 Threshold voltages at the same irradiation dose while different dose rates

存储状态	阈值电压/V		
	辐射前	5rad/s 辐射后	50rad/s 辐射后
“00”	6.13	5.68	5.75
“01”	4.84	4.53	4.54
“10”	3.83	3.58	3.68
“11”	2.20	2.35	2.39

辐射剂量为: 3×10^4 rad(Si)

实验发现器件在 γ 辐射完成后, 室温环境下存储 40 天, 辐射剂量最大的 1.05×10^5 、 3×10^5 和 1.05×10^6 rad(Si) 器件, 不论何种存储状态, 阈值电压都有不同程度的上升, 其余剂量下的阈值电压基本不变, 如表 2 所示. 这主要是当辐射剂量大时, 会感生界面态陷阱电荷^[13], 其数量与空穴数有关^[10]. 但是界面态陷阱电荷的产生是个缓慢过程, 其形成时间可以长达 10^6 s^[10, 18]. 在辐射后立即测量, 由于界面态陷阱电荷尚未完全形成, 放置一段时间后, 形成的界面态陷阱电荷会导致阈值电压上升. 而且剂量越大, 上升的幅度也越大, 这说明剂量越大, 产生的

界面态陷阱电荷也越多. 而且氧化物陷阱电荷在常温下会缓慢的发生退火效应^[17], 对阈值电压的升高有一定作用.

表 2 一些器件放置一段时间后的阈值电压上升情况

Table 2 Increase of some devices' threshold voltages after some time

辐射剂量/rad(Si)	阈值电压/V		
	辐射前	辐射后	放置一段时间后
1.05×10^5	4.71	3.69	3.71
	2.00	2.39	2.43
3×10^5	6.24	3.64	3.68
	2.14	2.37	2.44
1.05×10^6	3.76	2.16	2.26
	1.63	2.04	2.17

实验发现只有最小剂量 (3×10^3 rad(Si)) 辐射后的器件, 才可以正常地进行编程和擦除, 其余剂量下的器件在编程和擦除时机器都报错, 而器件在 3×10^4 rad(Si) 时存储的信息已经出现状态变化, 这说明多能级闪存最容易失效的部分为存储单元外围的复杂控制电路, 尤其是编程和擦除用的电荷泵电路^[4].

5 结论

通过对多能级闪存的 γ 射线辐射研究, 可以得出以下结论:

(1) 多能级闪存的阈值电压在 “00”、“01”、“10” 状态时随剂量增大而下降, 在 “11” 状态时随剂量增大而上升. 且剂量足够大时, 不同状态的阈值电压趋于相同.

(2) 剂量增大时, “00”、“01”、“10” 状态下的 $I_{ds}-V_{gs}$ 曲线向负方向漂移, “11” 状态则向正方向漂移, 剂量足够大时, 不同状态下的 $I_{ds}-V_{gs}$ 曲线趋于一致. $I_{ds}-V_{ds}$ 曲线在小剂量率下尚有一定的规律, 大剂量率下则无规律.

(3) 总剂量一定时, 低剂量率辐射后的阈值电压比高剂量率辐射后的阈值电压小. 器件在大剂量辐射后, 不同状态下的阈值电压会轻微上升.

(4) 多能级闪存中对辐射最敏感的失效部位是存储单元外围的复杂控制电路.

参考文献

- [1] Zhao Baojing, et al. Integrated circuit of memories. Beijing: National Defence Industry Press, 1995: 383 [赵保经, 等. 存储器集成电路. 北京: 国防工业出版社, 1995: 383]
- [2] Cappelletti P. Flash memory reliability. Microelectron Reliab, 1998, 38(2): 185
- [3] Zhang Zhengxuan, Luo Jinsheng, Yuan Renfeng, et al. Ionization radiation character of CMOS devices under differential dose rate. Chinese Journal of Semiconductors, 1999, 20(8): 682 (in Chinese) [张正选, 罗晋生, 袁仁峰, 等. 不同辐射剂量率下 CMOS 器件的电离辐射性能. 半导体学报, 1999, 20(8): 682]
- [4] Schwartz H R, et al. Single-event upset in flash memories. IEEE Trans Nucl Sci, 1997, 44(6): 2315
- [5] Nguyen D N, et al. Radiation effects on advanced flash memories. IEEE Trans Nucl Sci, 1999, 46(6): 1744
- [6] Claeys C, et al. Radiation damage in flash memory cells. Nuclear Instruments and Methods in Physics Research B, 2002: 392
- [7] Saks N S, et al. Formation of interface traps in MOSFETS during annealing following low temperature irradiation. IEEE Trans Nucl Sci, 1988, 35(6): 1234
- [8] Winokur P S, et al. Two-stage process for buildup of radiation-induced states. J Appl Phys, 1979, 50(5): 3492
- [9] Lenahan P M, Dressendorfer P M. Hole traps and trivalent silicon centers in metal/oxide/silicon devices. J Appl Phys, 1984, 55(10): 3495
- [10] Hu G, Johnson W C. Relationship between trapped holes and interface states in MOS capacitors. Appl Phys Lett, 1980, 36(7): 590
- [11] Shaneyfelt M R, et al. Field dependence of interface-trap buildup in polysilicon and metal gate MOS devices. IEEE Trans Nucl Sci, 1990, 37(6): 1632
- [12] Cellere G, et al. Radiation effects on floating-gate memory cells. IEEE Trans Nucl Sci, 2001, 48(6): 2222
- [13] Snyder E S, et al. Radiation response of floating gate EEPROM memory cells. IEEE Trans Nucl Sci, 1989, 36(6): 2131
- [14] San K T, et al. Effects of erase source bias on flash EPROM device reliability. IEEE Trans Electron Devices, 1995, 42(1): 150
- [15] Lai Zuwu, et al. Radiation hardening electronics——radiation effects and hardening techniques. Beijing: National Defence Industry Press, 1998: 73 [赖祖武, 等. 抗辐射电子学——辐射效应及加固原理. 北京: 国防工业出版社, 1998: 73]
- [16] Boesch H E Jr, et al. Hole transport and charge relaxation in irradiated SiO₂ MOS capacitors. IEEE Trans Nucl Sci, 1975, 22(6): 2163
- [17] Lelis A J, Oldham T R, Boesch H E Jr. The nature of the trapped hole annealing process. IEEE Trans Nucl Sci, 1989, 36(6): 1808
- [18] Boesch H E Jr. Time-dependent interface trap effects in MOS devices. IEEE Trans Nucl Sci, 1988, 35(6): 1160

Total Dose Irradiation Effects on Multi-Level Flash Memories

Meng Xuanhua, Yin Luke, Gu Jing and He Guowei

(*Department of Material Science, Fudan University, Shanghai 200433, China*)

Abstract: A new flash memory based on multi-level storage technique is introduced, and the gamma irradiation effects on such multi-level flash memory are investigated. The threshold voltage and the cell's electrical performance related to the total-dose, dose rate and time are studied in detail. The experiment results are discussed.

Key words: multi-level flash memory; floating gate; gamma irradiation; irradiation effects

EEACC: 1265D; 2550R

Article ID: 0253-4177(2003)06-0656-07

Meng Xuanhua male, graduate student, majored in electrical packaging and the research of radiation hardening on electrical products.

Received 12 July 2002, revised manuscript received 11 September 2002

©2003 The Chinese Institute of Electronics