

LDD-CMOS 中 ESD 及其相关机理*

马 巍 郝 跃

(西安电子科技大学微电子研究所, 西安 710071)

摘要: LDD 工艺是 CMOS 集成电路进入亚微米后应用最广泛的技术, 该技术很好地改善了沟道电场分布, 避免了在器件漏端的强场效应, 在可靠性方面明显地提高器件及电路的热载流子寿命。然而, LDD 结构的抗 ESD 的能力却大大降低了。文中通过实验和分析, 研究了在 ESD 过程中, LDD gg-nMOS 器件的 Snapback 对器件潜在损伤的影响, 尤其对热载流子效应的影响。

关键词: LDD-CMOS; ESD 潜在损伤; Snapback

EEACC: B0170N; 2560R

中图分类号: TN386

文献标识码: A

文章编号: 0253-4177(2003)08-0892-05

1 引言

ESD(electrostatic discharge) 是当今 MOS 集成电路中最重要的可靠性问题之一, 随着器件尺寸不断减小, ESD 损伤成为新工艺上关注的焦点, 在 CMOS LDD 结构中尤为突出。LDD 工艺技术在可靠性方面可以明显地提高器件及电路的热载流子寿命。然而, LDD 工艺器件对抗 ESD 的能力却大大降低^[1,2]。文献[3]中指出其原因是 LDD 结构中的 n⁻结较浅, 电流密度大, 热能集中在局部造成的。目前已有不同的失效分析^[4]和模拟手段来指导工艺和设计, 使 LDD 工艺的产品抗 ESD 能力提高, 但对于 LDD 器件仍有很多与 ESD 相关的问题, 尤其是 ESD 潜在损伤以及 ESD 与热载流子的相关性等这样的长期可靠性问题需要深入研究和探讨, 并希望得到相应地可靠性加固方法。

目前, 对于潜在损伤基本上有两种观点。一种是电荷注入模型: 在 ESD 过程中, Snapback 电流流入 gg-nMOS(栅端接地) 的漏极, 大量空穴注入到栅氧化层边缘, 产生空穴俘获电荷, 这些大量的空穴俘获

陷阱电荷使 TDBB 寿命下降^[5], 造成器件的积累损伤, 同时也使热载流子寿命大大降低; 另一种是热电模型: 由于热效益局部区域性, 使得栅下的漏结熔化, 然后固化。这使得漏结上有一小块区域损伤, 从而产生硅晶缺陷或俘获电荷, 引起反偏结漏电的增加^[6,7]。

对于 ESD 潜在损伤和热载流子的相关性, 文献[3]中认为, 在栅宽度方向, 热电子损伤是均匀的, 而 ESD 损伤是不均匀和局部化的, 二者是两种没有关系的损伤。

本文通过实验和模拟方法, 研究了 LDD 工艺 gg-nMOS 的 ESD 潜在损伤机理, 对 ESD 潜在损伤与热载流子的相关性进行了阐述, 比较了热载流子、Snapback 和 ESD 三者的特性。本文深入阐述失效机理间的相互作用和影响, 为进一步加强 EDS 失效研究奠定了基础。

2 实验与分析

2.1 实验样品和方法

实验的样品是沟长度为 0.8 μm LDD CMOS 器

* 国防预先研究支持项目(项目编号: 41308060305)

马 巍 男, 1977 年出生, 硕士研究生, 主要研究方向为超深亚微米 MOS 器件及其可靠性, 目前主要研究 ESD 及其相关失效机理。

郝 跃 男, 1958 年出生, 教授, 博士生导师, 主要研究方向为超深亚微米 VLSI 可靠性理论与设计方法、新型宽禁带半导体器件与关键技术, 以及系统集成(SOC) 设计与设计方法学等。

件, 宽长比(W/L)分别为 $10/0.8, 20/0.8, 30/0.8, 40/0.8, 50/0.8, 60/0.8$, 槽氧化层厚度为 17.6nm , 每种尺寸10个。实验使用了HP-4156B半导体精密参数测试仪和ETS MODEL910 ESD人体模型(HBM)模拟机(按MIL-STD-883方法3015.7)。为了进行机理研究, 使用了工艺模拟软件TMA Suprem IV和半导体器件模拟软件Medici。通过实验和理论对比深入研究ESD失效机理和相关失效模式。由于各样品的实验结果在趋势上显示了很好地一致性, 本文仅以宽长比为 $40/0.8$ 的样品来进行说明。

2.2 ESD潜在损伤与热载流子的相关性

图1为典型的gg-nMOS结构和Snapback $I-V$ 曲线。 V_{t1} 是漏结的击穿电压, 器件的钳位电压为 V_{sp} , 二次击穿电压为 V_{t2} 。

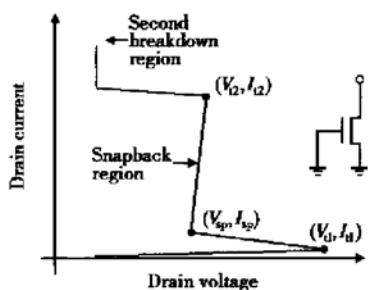


图1 典型的 Snapback $I-V$ 曲线

Fig. 1 Typical snapback $I-V$

图2中实线和虚线分别是用HP-4156B测量和Medici模拟的实验样品的Snapback直流 $I-V$ 特性曲线。 V_{t1} 为 12.8V , V_{sp} 为 8.6V , 即一次击穿为 12.8V , 钳位电压为 8.6V 。测试和仿真规律与结果基本一致。

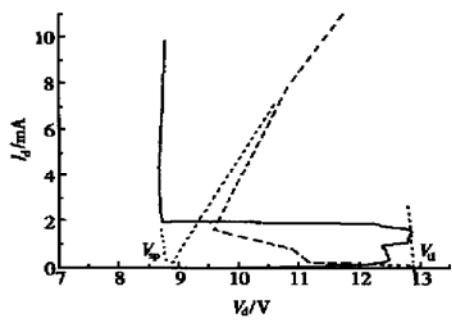


图2 Snapback 直流 $I-V$ 特性 虚线为仿真结果; 实线为测量值

Fig. 2 Snapback DC $I-V$ Dot line: simulated result; Solid line: test result

为了进一步研究失效机理, 我们进行了相关场的分布特性研究。从图3所示的电场分布可以清楚看到, 电场峰值位于MOS漏端交叠区多晶硅栅的边缘, 而与之位置一致的是空穴流注入位置, 如图4所示。图5表明了热量集中在该位置下方的漏结处, 显示了工作中的热量扩散所造成的不可恢复ESD损伤的初始位置。因此, 在Snapback过程中既有电荷注入, 又有热电积累效应。

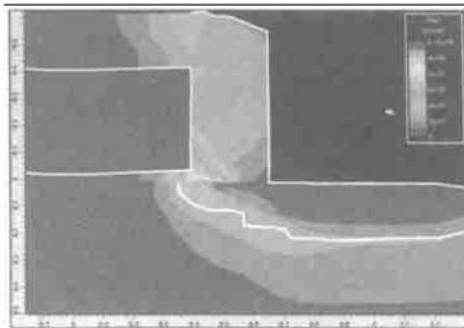


图3 漏端电场分布图 $I_{max}=50\text{mA}/\mu\text{m}$

Fig. 3 Distribution of field at drain $I_{max}=50\text{mA}/\mu\text{m}$

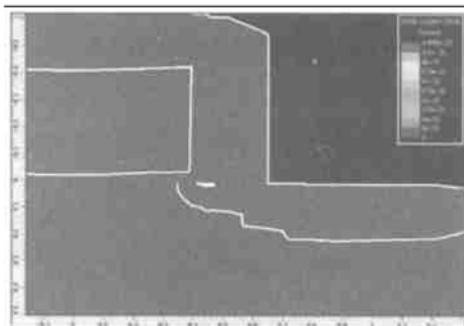


图4 空穴流注入情况 $I_{max}=50\text{mA}/\mu\text{m}$

Fig. 4 Injection of hole current $I_{max}=50\text{mA}/\mu\text{m}$

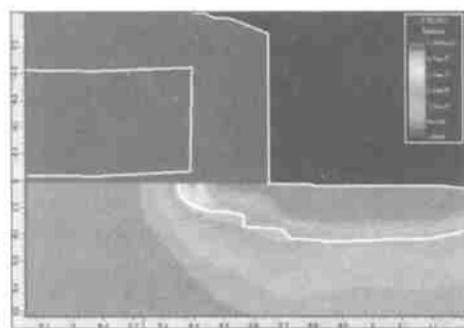


图5 漏端热量分布图 $I_{max}=50\text{mA}/\mu\text{m}$

Fig. 5 Heat distribution at drain $I_{max}=50\text{mA}/\mu\text{m}$

进一步结合器件Snapback特性的分析, 分别对

受到 Snapback 应力影响的器件进行热载流子效应分析, 对两种损伤的机理进行了比较, 并对热载流子 Snapback 与 ESD 的关系进行了研究.

实验与分析 1

(1) 对器件加 Snapback 应力: 60s, 40mA

此时器件的转移特性曲线中, 线性区跨导 g_m ($V_d = 0.05V$) 变小, 从图 6 中的 1 到 2. 从图 7 的电荷泵曲线分析可知, I_{cp} 峰值增加, 说明栅氧化层局部界面态增加. 从而导致器件转移特性的变化.

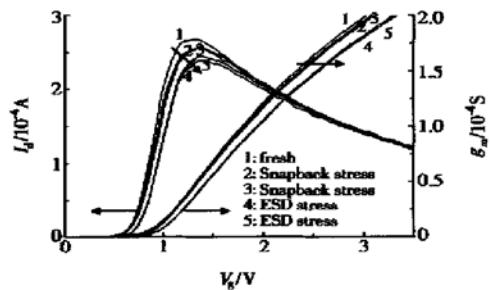


图 6 受到 Snapback 和热电子应力前后的 I_d - V_g 和 g_m - V_g 曲线

Fig. 6 I_d - V_g and g_m - V_g before and after Snapback and HE stresses respectively

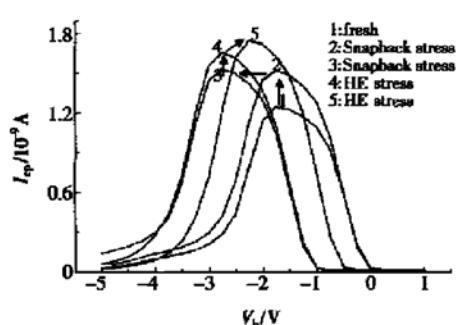


图 7 受到 Snapback 和热电子应力前后的电荷泵特性曲线

Fig. 7 Charge pump I_{cp} - V_d before and Snapback and HE stresses respectively

(2) 再加同样的 Snapback 应力

此时, 图 6 器件转移特性曲线几乎没有变化, 而 I_{cp} - V_d 曲线向左平移, 即图 7 中 2 到 3, 说明器件栅氧产生了空穴陷阱电荷. 可见 Snapback 应力首先使器件栅氧界面态增加, 而后再产生空穴陷阱电荷, 这是一个积累的过程, 即图 7 中 1 到 3.

(3) 随后对器件加热载流子(热电子)应力:

100s, $V_d = 5V$, $V_g = 5V$

此时, 器件的转移特性曲线图 6 中的 g_m 再次

减小, 即 3 到 4. 而从 I_{cp} - V_b 曲线可以看出, 3 到 4 是由于热电子的注入, 器件栅氧界面态又有所增加, 造成器件转移特性变化.

(4) 再施加同样的热电子应力

器件的转移特性几乎没有变化. 而 I_{cp} - V_b 特性表明, 器件栅氧化层界面态略有增加, 同时栅氧有俘获产生, 即图 6 和图 7 中 4 到 5. 这说明热电子对栅氧化层的影响与 Snapback 相似, 也是一个积累的过程. 应该指出的是, 热电子对 Snapback 引入的栅损伤会有一定抵消作用, 但它抵消的只是 Snapback 所产生的栅氧化层陷阱电荷, 而对于界面态来说, 二者是相互增强的.

通过以上实验可以知道 Snapback 使界面态电荷密度先增大, 然后在栅氧化层引入空穴陷阱; 而热电子应力先使受损的器件界面态电荷密度增大, 然后产生电子陷阱俘获. 值得注意的是, 在整个过程中, 只有在界面态电荷密度增大时, 器件的转移特性才发生变化, 而栅氧化层的陷阱密度的变化对转移特性不产生影响. 因此, 受到 Snapback 应力的器件的热载流子寿命会有所减小, 对器件的长期可靠性影响很大.

实验与分析 2

用 ESD HBM 对同样的样品施加电压 500V, 电流 330mA, 应力 3 次.

由转移特性图 8 可知, 在第一次 ESD 应力后的线性跨导有明显减小, 随后两次应力对器件线性跨导没有进一步的影响. 值得注意, 与直流 Snapback 应力不同的是, 在较高栅压下, ESD 对线性跨导的影响比较明显, 而在较低栅压下几乎没有变化. 也就是说, Snapback 对器件的阈值电压有影响(如图 6 所示); 而图 8 和图 9 说明 ESD 对器件的阈值电压几乎没有影响.

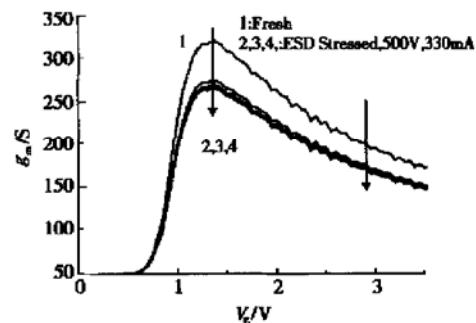
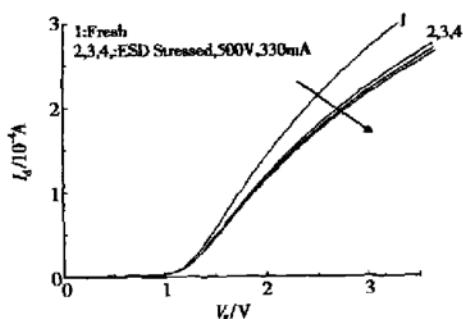


图 8 受 ESD 应力前后的 g_m - V_g 特性曲线

Fig. 8 g_m - V_g before and after ESD stresses

图 9 受 ESD 应力前后的 I_d - V_g 特性曲线Fig. 9 I_d - V_g before and after ESD stresses

通过实验并结合前面的分析可以看出, Snapback 对器件造成的影响和 HC 相似, 损伤位置主要在交叠区的栅的边缘上, 它对器件的线性跨导和阈值电压都有影响, 而 ESD 主要发生在离栅较远的漏结处。因此, 该 ESD 损伤只对线性跨导有显著的影响而对阈值电压几乎没有影响。

另外, 由于热载流子、Snapback 和 ESD 三者从注入电流对时间变化的角度讲是依次增大的, 说明了 Snapback 既对栅氧化层有影响同时也对漏结有一些影响, 它的特性介于热载流子和 ESD 之间。可以预见, 对于 LDD gg-nMOS 而言, 随着应力的变化, 即从热载流子、Snapback 到 ESD, 其损伤的位置是从栅氧化层向漏结方向转移的。也就是说, 从电荷模型向热电模型转化。因此, ESD 潜在损伤既有电荷注入又有热电效应, 只不过是以哪一个为主的问题, 这要根据应力的强度而定。

3 结论

LDD 工艺的 gg-nMOS 在 Snapback 作用下, 栅氧化层交叠区引入空穴注入和漏结的轻微损伤, 是

CMOS I/O 保护电路 ESD 潜在损伤的主要根源, 同时热载流子寿命也会随之降低。相比之下, ESD 产生的损伤主要在交叠区下的漏结处, 对器件的阈值电压几乎没有影响。对于 LDD gg-nMOS 而言, 热载流子 Snapback ESD 造成的损伤是从交叠区栅氧化层向漏结转移, 电荷注入向热电效应转化的过程。

参考文献

- [1] McPhee R A, Duvvury C, Rountree R, et al. Thick oxide performance under process variations. Proc 8th EOS/ESD Symp, 1986: 173
- [2] Chen K L. Effect of interconnect process and snapback voltage on the ESD failure threshold of NMOS transistor. Proc 10th EOS/ESD Symp, 1988: 212
- [3] Amerasekera A, Van den Abeelen W, Van Rozendaal L, et al. ESD failure modes: characteristics, mechanisms, and process influences. IEEE Trans Electron Devices, 1992, 39(2): 430
- [4] Ma Zhongfa, Zhuang Yiqi, Du Lei, et al. A sensitive testing technique to ESD latent damages in MOSFET. Chinese Journal of Semiconductors, 2002, 23: 1211 (in Chinese) [马仲发, 庄奕琪, 杜磊, 等. 一种敏感的 MOSFET ESD 潜在损伤检测方法. 半导体学报, 2002, 23: 1211]
- [5] Mistry K R, Krakauer D B, Doyle B S. Impact of snapback induced hole injection on gate oxide reliability of N-MOSFET's. IEEE Electron Device Lett, 1990, 11(10): 460
- [6] Krakauer D B, Mistry K R. On latency and the physical mechanisms underlying gate oxide damage during events in N-channel MOSFET'S. EOS/ESD Symp Proc, 1989: 121
- [7] Aur S, Chatterjee A, Plogreen T. Hot electron reliability and ESD latent damage. IEEE Trans Electron Devices, 1988, 35(12): 2189
- [8] Inushi M, Mitsui K, Kusunoki S, et al. Gate capacitance characteristics of gate/ir overlap LDD transistor with high performance and high reliability. Electron Devices Meeting, 1991. Technical Digest, International, 1991: 371

ESD and Its Related Mechanisms on LDD-CMOS*

Ma Wei and Hao Yue

(Microelectronics Institute, Xidian University, Xi'an, 710071, China)

Abstract: LDD is widely used in sub-half micrometer CMOS VLSI. Due to its improvement of the distribution of electrical field in channel, the effect of high field near the drain is reduced. Consequently, the life of hot-carrier of the circuits and devices is prolonged in the aspect of reliability. However, LDD has a poor performance against ESD stress. A research has been made on the latent damages under the influences of snapback. And special attention is given to the correlation with hot-carrier in LDD gg-nMOS during ESD events.

Key words: LDD-CMOS; ESD latent damage; Snapback

EEACC: B0170N; B2560

Article ID: 0253-4177(2003)08-0892-05

* Project supported by National Defense Advanced Research Program (No. 41308060305)

Ma Wei male, was born in 1977, MS candidate. His research interests focus on sub-micro MOS device and its reliability. The current research is ESD and its related failure mechanisms.

Hao Yue male, was born in 1958, professor, advisor of PhD candidates. His primary research interests include the theory and design method of sub-micro VLSI reliability, new type wide band semiconductors and key technologies, SOC design and design method.