

# 一种改进的高速 DAC 电流开关及其控制信号的产生

赵伟兵 沈延钊 张向民

(清华大学微电子学研究所, 北京 100084)

**摘要:** 系统分析了高速电流型 CMOS 数模转换器中电流开关对输出毛刺的影响, 给出了减小输出毛刺的方法, 改进了电流开关及其控制信号的产生电路. 利用改进后的电路设计了一个 8 位数模转换器, 在 5V 电源, 满量程输出 20mA 条件下, 模拟得到最大输出毛刺为 3pV-s, 且电路在 100MHz 采样频率, 10MHz 信号频率下, 无假信号动态范围达到 53dB.

**关键词:** 高速; 数模转换器; 电流开关

**EEACC:** 1280; 1265; 2570

**中图分类号:** TN432      **文献标识码:** A      **文章编号:** 0253-4177(2003)09-0991-03

## 1 引言

在信号采集处理、数字通信、自动检测和多媒体技术等领域, 数模转换器往往是不可缺少的部分. 近年来, 电子通讯市场的快速发展, 尤其是高清晰度电视和无线通讯网络的开发应用, 不仅大大增加了转换器精度和速度的要求<sup>[1]</sup>, 同时要求数模转换器的输出毛刺尽可能地小<sup>[2]</sup>, 因为, 大的输出毛刺会在电视屏幕上导致瞬时亮度变化. 毛刺面积, 即毛刺幅度与毛刺持续时间的乘积, 是描述毛刺强度的一个参数. 在电流型 CMOS DAC 中, 电流开关是影响输出毛刺和动态性能的重要因素<sup>[3]</sup>. 为减小输出毛刺, 文献[2, 4]提出了使用上升下降时间不等的开关控制信号的方案, 但是这种方案不可避免地导致各条电流支路的输出延迟不相等, 影响转换器的交流特性. 文献[5]将其中一个电流开关接输入数据, 而另一个开关接固定偏压, 这种结构避免了电流开关对同时关断的问题, 但是, 由于两个开关控制电压值存在差异, 电流流向改变后, 电流镜漏端电压会发生较大变化, 这最终限制了转换速度(文献中的采样频率为 50MS/s). 本文从产生输出毛刺的直接原因入手, 将对称结构的电流开关及其控制信号产生电路做了改进, 有效地减小了输出毛刺, 同时保证了良好

的动态性能和转换精度以及转换速度.

## 2 导致输出毛刺的几个因素及开关电路的改进

电流型 DAC 是基于一系列匹配的电流镜管, 由外部输入数据控制电流开关对, 将每一份电流导向输出端或者互补输出端. 分析研究得知, 导致输出端产生毛刺, 影响电流型 DAC 动态性能的因素主要有四个, 作者采取了相应措施减弱了这些因素的影响.

### 2.1 开关控制高低电平变化不同步

当外部输入数据变化时, 要求各开关状态同时改变, 否则会在输出端产生瞬时尖峰毛刺. 在每个电流开关对前添加一个时钟控制电路, 如图 1 所示. 使用时钟信号 CLK 控制输出信号的转换, 并采用两个反相器交叉耦合的结构, 明显改善了开关控制高低电平变化不同步的问题, 保证了各开关状态同时发生变化.

### 2.2 电流镜管沟道长度的变化

由于数模转换器地线电压以及负载电阻上压降的波动, 电流镜管的沟道长度会随之发生变化, 在输出端产生毛刺. 如果在电流镜管漏极串联一个管子,

赵伟兵 1980 年出生, 硕士研究生, 目前主要从事数模混合集成电路的设计研究工作.

2002-10-27 收到, 2003-01-10 定稿

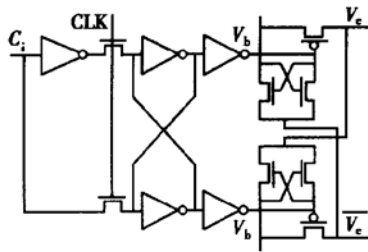


图 1 电流开关控制信号产生电路

Fig. 1 Control schematic of switches

形成 Cascode 结构, 增大输出电阻, 则能减弱地线电压以及负载电阻压降波动的影响。

### 2.3 电流开关管源极电压的变化

图 2 所示为一条电流支路. 其中 M1 为 PMOS 电流镜管, M6 管与之形成 Cascode 结构, M2、M3 为 PMOS 电流开关管, M4、M5 为 PMOS 电容管。

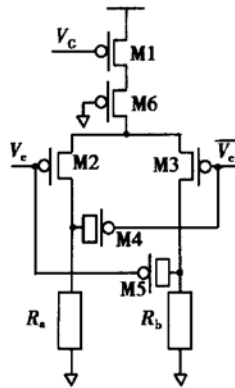


图 2 电流镜与电流开关

Fig. 2 Current mirror and switches

图 2 电路正常工作时, 电流开关管的源极电压  $V_s$  应保持恒定. 但是, 在开关控制高低电平转换过程中, 当两个开关管的控制电压值满足

$$V_s - V_c < V_T \quad \text{且} \quad V_s - \overline{V_c} < V_T \quad (6)$$

时(  $V_T$  为电流开关管的开启电压), 两个电流开关均截止, 电流镜管产生的电荷在开关管源极积累, 导致电压升高, 甚至可能使 M6 瞬时进入线性工作区. 当其中一个电流开关导通后, 这部分多余的电荷流过取样电阻, 在输出端产生毛刺, 影响电路的整体动态性能。

采用上升下降时间不等的开关控制信号, 虽然可以避免两个开关同时关断, 但是会导致输出延时的不对称. 因此, 本文依旧采用上升下降时间相等的控制信号, 但设法减小了两个电流开关同时截止的

时间. 一方面, 将电流开关的衬底由 VDD 改接为一个较低电压, 降低电流开关管的衬源电压, 减小电流开关的域值电压  $V_T$ . 另一方面, 采用图 1 所示的开关控制信号产生电路, 将开关控制信号的高电平由普通电路<sup>[2]</sup>中的 VDD 降至合适的电压  $V_b$ . 分析和模拟表明, 选取较低的  $V_b$  电压能有效的缩短两个开关控制信号同时取高电平的时间, 如图 3 所示. 将  $V_b$  从 4.3V 降为 3.3V 后, 两个开关控制信号的电压值都大于  $V_s - V_T$  (约为 1V) 的时间由  $t_2 - t_1$  减少至  $t_4 - t_3$ , 进而减小了电流开关管源极电压的变化幅度. 因此, 开关对中的一个开关打开时, 在保证另一个能恰好关断的基础上, 设计中可以将  $V_b$  电压值尽量降低。

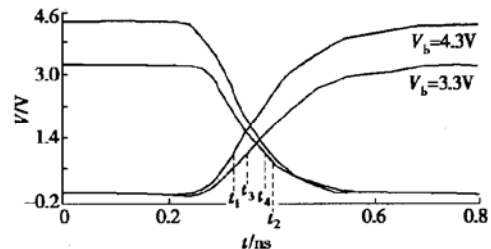


图 3 不同  $V_b$  值下开关控制信号的转换曲线

Fig. 3 Transition of switching control signals under different  $V_b$

### 2.4 开关管对开关控制信号的馈通效应

开关控制高低电平转变时, 由于控制信号通过开关管栅漏寄生电容的馈通效应, 在输出负载电阻上会产生瞬时毛刺. 加入 MOS 电容 M4、M5 (图 2) 则可大大减小输出毛刺. 其中, 电容管的栅极面积为开关管的一半. 假设初始状态为  $\overline{V_c}$  取低电平 VL,  $V_c$  取高电平 VH, 由于外部输入数码的变化, 两个控制电压分别转换为 VH、VL, 那么在转换瞬间, M3 管的漏极会向外放出电荷, 但由于 M5 的栅极电压在上述转换瞬间由 VH 变为 VL, 它可以恰好吸收 M3 漏极瞬时放出的电荷, 从而大大减小了  $R_b$  上的电压毛刺. 同理, M4 可以减小了  $R_a$  上的电压毛刺。

## 3 电路仿真结果

在一个 5+3 分段译码结构的电流型 CMOS DAC 中, 利用了文中描述的电流开关, 采用 TSMC 0.35 $\mu$ m Hspice 工艺参数对 DAC 进行了模拟. 在电源电压为 5V, 采样频率为 125MHz, 输入信号频率

为 10MHz, 满量程输出电流设定为 20mA, 负载电阻为 25Ω, 负载电容为 10pF 的条件下, 快速傅里叶分析得出负载电阻上电压的频谱, 如图 4 所示, 可以从图中读出无假信号动态范围为 53dB. 当输入信号满量程跳变时, 输出端出现最大毛刺, 其强度为 3pV-s, 优于文献[2]中的 3.9pV-s.

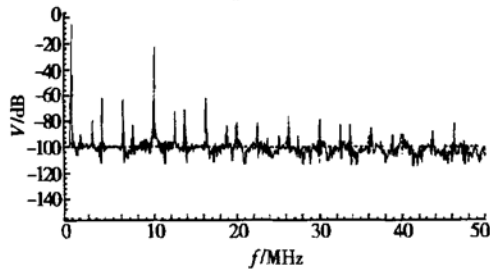


图 4 采样频率 100MHz, 信号频率 10MHz 条件下输出模拟量的频谱分析

Fig. 4 Simulated output spectrum at 10MHz signal frequency (100MS/s)

## 4 结论

电流开关是决定高速电流型 CMOS 数模转换器输出毛刺和动态特性的重要因素. 本文从输出毛

刺的产生机制入手, 对电流开关及其控制信号的产生电路进行了改进, 利用改进后的电路设计了一个 8 位数模转换器, 在 5V 电源, 满量程输出 20mA 条件下, 模拟得到最大输出毛刺为 3pV-s, 电路在 100MHz 采样频率, 10MHz 信号频率下, 无假信号动态范围达到 53dB, 结果表明改进后的开关电路有效地减小了数模转换器的输出毛刺.

## 参考文献

- [ 1 ] Goldrick P M. A look at high-speed DAC performance for communications. *Electronic Design*, 1997, 3: 87
- [ 2 ] Wu T Y, Jih C T, Chen J C, et al. A low glitch 10-bit 75-MHz CMOS video D/A converter. *IEEE J Solid State Circuits*, 1995, 30(1): 68
- [ 3 ] Sumanen L, Waltari M, Halonen K. A 10-bit high-speed low-power CMOS D/A converter in 0.2μm<sup>2</sup>. *IEEE International Conference on Electronics, Circuits and Systems*, 1998, 1: 15
- [ 4 ] Mercer D. A 16-b D/A converter with increased spurious free dynamic range. *IEEE J Solid State Circuits*, 1994, 29(10): 1180
- [ 5 ] Xu Yang, Min Hao. High speed current domain CMOS D/A converter design. *Chinese Journal of Semiconductors*, 2000, 21(6): 597 (in Chinese) [徐阳, 闵昊. 一种高速电流型 CMOS 数模转换器设计. *半导体学报*, 2000, 21(6): 597]

# Current Switches in Improved High Speed DAC and Control Signals of Switches

Zhao Weibing, Shen Yanzhao and Zhang Xiangmin

(Institute of Microelectronics, Tsinghua University, Beijing 100084, China)

**Abstract:** The influence of current switches on output glitch of high-speed current-steering CMOS D/A converter is thoroughly analyzed. Methods for reducing glitch are presented. The amended current switches and control signal circuit are described. The switches are utilized in a 8-bit, 5V power supply DAC. The result of simulation reveals that the output glitch is no more than 3pV-s. For sampling frequencies up to 100MSample/s, the spurious free dynamic range is up to 53dB for signals from DC to Nyquist.

**Key words:** high speed; D/A converter; current switch

**EEACC:** 1280; 1265; 2570

**Article ID:** 0253-4177(2003)09-0991-03

Zhao Weibing male, was born in 1980, graduate student. His research interests are in the study and design of mixed-signal integrated circuit.

Received 27 October 2002, revised manuscript received 10 January 2003

©2003 The Chinese Institute of Electronics