

50nm SOI-DTMOS 器件的性能*

陈国良 黄 如

(北京大学微电子学研究所, 北京 100871)

摘要: 利用二维器件模拟软件 ISE 对 50nm 沟道长度下 SOI-DTMOS 器件性能进行了研究, 并与常规结构的 SOI 器件作了比较. 结果表明, 在 50nm 沟长下, SOI-DTMOS 器件性能远远优于常规 SOI 器件. SOI-DTMOS 器件具有更好的亚阈值特性, 其亚阈值泄漏电流比常规 SOI 器件小 2~3 个数量级, 从而使其具有更低的静态功耗. 同时, SOI-DTMOS 器件较高的驱动电流保证了管子的工作速度, 并且较常规 SOI 器件能更有效地抑制短沟道器件的穿通效应、DIBL 及 SCE 效应, 从而保证了在尺寸进一步减小的情况下管子的性能. 对 SOI-DTMOS 器件的物理机制进行了初步分析, 揭示了其性能远优于常规结构的物理本质, 同时也指出了进一步研究的方向.

关键词: 50nm; SOI-DTMOS 器件; 模拟

EEACC: 2560; 2560Z; 2570F; 1265B

中图分类号: TN386

文献标识码: A

文章编号: 0253-4177(2003)10-1072-06

1 引言

随着当今集成电路规模的不断提高, 如何降低系统的功耗成为一个必须解决的关键问题, 而且由于电源电压的不断降低, 电路的工作速度受到了严重的影响, 所以, 为了解决这几方面的矛盾, 一种新型结构的器件——SOI-DTMOS 被提出来^[1,2]. 所谓 SOI-DTMOS, 是在常规的 SOI 器件的基础上, 从体区硅膜引出了另一个电极, 并与栅电极电学相连, 在栅压改变的同时, 体电压也随之发生变化, 从而起到调整管子阈值电压的功能, 即实现了所谓的动态阈值 (DT)^[3,4].

目前研究表明, 在较长沟道情况下 (100nm 或更长), SOI-DTMOS 器件的各种性能均明显优于常规 SOI 结构的器件, 较之更适合于高速、低功耗领域的应用^[5~7]; 而为了满足进一步提高集成度, 建构 ULSI 及 SOC 的需求, 必须进一步地降低器件的特征尺寸. 在降低器件特征尺寸的同时, 短沟道器件中的一

些效应, 比如 DIBL、SCE 会对管子的性能造成显著影响^[8~10], 因此必然会引起管子在更短沟道下参数的相应变化以及管子的性能优化问题. 目前尺寸进一步减至 50nm 时的 SOI-DTMOS 的研究报道很少.

本文首先对 SOI-DTMOS 及 SOI 器件的 scaling-down 能力进行了分析, 比较了两种结构器件的 scaling-down 能力; 指出了器件尺寸由 100nm 进一步减至 50nm 时, SOI-DTMOS 器件较常规 SOI 器件仍然保持了性能上的显著优势, 并且较 SOI 器件更适合于在短沟道下应用. 最后, 本文在 50nm 沟道长度下, 通过改变体区硅膜的掺杂浓度及体区硅膜的厚度以及其他一些相应参数, 对 SOI-DTMOS 器件的各种性能进行优化设计, 并与同样沟长下的常规 SOI 器件进行比较, 得出一些有意义的结论.

2 器件结构及基本工作原理

图 1 是用于模拟 SOI-DTMOS 的结构示意图. 在实际的 SOI-DTMOS 器件中, 体电极的引出是在栅的

* 国家自然科学基金(批准号: 90207004)和国家重点基础研究专项经费(编号: 2000036501)资助项目

陈国良 男, 1980 年出生, 硕士研究生, 主要从事新结构器件研究及制备工艺.

黄 如 女, 1969 年出生, 教授, 主要从事新结构、新工艺的半导体器件研究及电路设计.

2002-12-04 收到, 2003-04-18 定稿

宽度方向上在体硅膜上作一个 p^+ 区, 然后与多晶硅相连. 为了在二维情况下对 SOF-DTMOS 进行模拟, 在体硅膜与埋氧界面加一体电极. 考虑到多晶硅耗尽效应, 将栅电极作为一重掺杂多晶硅区域. 由于体电极与栅电极电学相连, 当栅压改变时, 体电极处电压随之同时改变, 从而影响到体区硅膜, 使硅膜中的电势、电场、电荷等物理量较常规 SOI 器件发生重大变化, 从而实现所谓的 DTMOS.

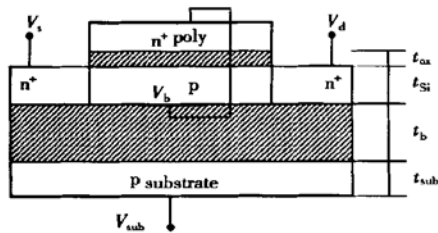


图 1 SOF-DTMOS 器件结构示意图

Fig. 1 Schematic cross sectional view of SOF-DTMOS device structure

本文主要针对 50nm 沟长进行模拟研究, 器件的一些关键参数范围大致如下: 沟道长度 (L) 为 50nm, 栅氧化层厚度 (t_{ox}) 为 2~3nm, 硅膜厚度 (t_{si}) 为 10~80nm, 硅膜掺杂 (filmdoping) 为 $8 \times 10^{17} \sim 2 \times 10^{18} \text{ cm}^{-3}$; 其中, 开态电流 (I_{on}) 和关态电流 (I_{off}) 是通过 $V_{ds} = 0.6\text{V}$ 时, 栅压从 0 到 0.6V 时的转移特性曲线得到的. I_{on} 是 $V_g = V_{ds} = 0.6\text{V}$ 时的漏端电流; I_{off} 是 $V_g = 0\text{V}$, $V_{ds} = 0.6\text{V}$ 时的漏端电流^[11].

另外, DTMOS 器件的工作电压为 0.6~0.7V, 这是考虑到源体间的 pn 结正偏所能允许的最大电压.

3 模拟结果及讨论

图 2 表明了 SOF-DTMOS 以及 SOI 器件在沟长不断减小时的 DIBL 及 SCE 效应. 其中, $\text{filmdoping} = 10^{18} \text{ cm}^{-3}$, $t_{si} = 20\text{nm}$. 由图可以很明显地看出, DTMOS 器件较常规 SOI 器件具有更好的 scaling-down 能力. 当沟长减至 50nm 以下时, SOI 器件已发生穿通, 这体现在图中 50nm 及以下的 DIBL、SCE 已无法绘出; 而 DTMOS 器件仍是可以正常工作的. 在保证两者均能正常工作的情况下, 对于一给定要求的阈值漂移, 比如 100mV, 从图可知, 对 DIBL, SOI 器件只能减至 60nm, 而 DTMOS 器件则可至 40nm 以下; 对

SCE 来说, SOI 器件在 L 降至 85nm 时就引起了 100mV 的阈值漂移, 而 DTMOS 器件则可降至 50nm. 从而我们可知 DTMOS 器件的 scaling-down 能力远比 SOI 器件强, 因此它更适用于短沟道下的应用. 另外, 由图还可以清楚地看到, 虽然 DTMOS 器件较 SOI 器件具有 scaling-down 方面的显著优势, 但随着 L 的不断减小, 其自身的 DIBL、SCE 也趋于严重, 从而会对器件性能造成很大影响, 所以我们很有必要对更短沟长下的 DTMOS 器件进行优化设计.

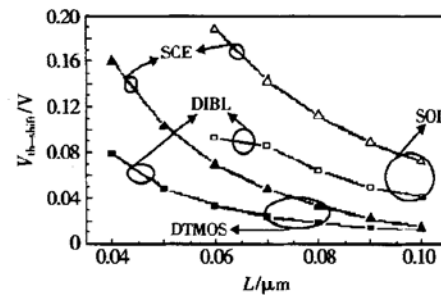


图 2 DTMOS 及 SOI 器件的 scaling-down 分析示意图

Fig. 2 Schematic view of the analyses of scaling-down for DTMOS and SOI

图 3 为 100nm 与 50nm 沟长下 DTMOS 与 SOI 的性能比较, 这里我们主要通过 DIBL 来说明. 其中 $\text{filmdoping} = 10^{18} \text{ cm}^{-3}$. 由图可见, 在沟长 100nm 时, DTMOS 器件在 10~60nm 的硅膜厚度范围内相对于 SOI 器件能更有效地抑制 DIBL 效应, 其阈值漂移要小 25mV 左右; 在沟长 50nm 时, 这种优势依然存在, 并且更为明显. 从图 3(b) 可见, 在较小的硅膜厚度下 ($< 60\text{nm}$), DTMOS 器件的阈值漂移远小于 SOI 器件, 且膜厚越小, 差别越大. t_{si} 为 60nm 时, $V_{th-shift}$ (DTMOS) 比 $V_{th-shift}$ (SOI) 小 20mV 左右, t_{si} 为 20nm 时, 已将近 100mV. 另外, 还可以看出, 在 100nm 时, SOI 器件的 $V_{th-shift}$ 还不是很大 ($< 60\text{mV}$), 而在 50nm 沟长下, 整个膜厚范围内其阈值漂移都很严重 (约为 140mV). 所以, 我们可以得出这样的结论, 在沟长较大时 (100nm 或更长), SOI 器件也不失为一种性能较优的结构, 而当器件进一步减至 50nm 时, DTMOS 则是一种更适用于短沟道应用的器件结构, 当然, 必须对它进行优化设计.

图 4 分别为 50nm 沟长下的两种结构管子的输出及转移特性的比较. 由图 4(a) 可见, SOI 器件输出特性严重上翘, 表明其已发生穿通, 而 DTMOS 则能有效地抑制穿通. 由图 4(b) 可知, DTMOS 器件的亚

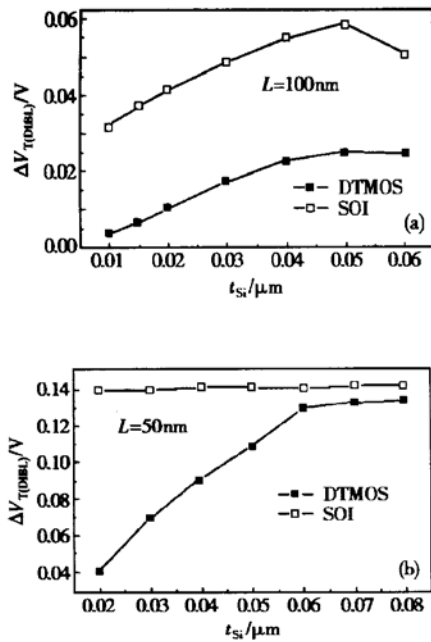


图3 (a) 100nm 沟长下 DIBL 的比较; (b) 50nm 沟长下 DIBL 的比较

Fig. 3 (a) Comparison of DIBL at 100nm channel length; (b) Comparison of DIBL at 50nm channel length

阈值特性远远优于 SOI 器件, 其亚阈电流以 $66\text{mV}/\text{dec}$ 下降; SOI 器件在整个栅压变化范围内的 I_{ds} 一直保持较高的值(大于 $100\mu\text{A}/\mu\text{m}$), 这说明 SOI 器件是无法正常工作的. 通过大量的模拟计算, 可以大致得出下面的结论: 在硅膜掺杂较低时($< 10^{18}\text{cm}^{-3}$), SOI 器件在整个膜厚范围内($10\sim 80\text{nm}$) 均不能工作, 而 DTMOS 可以在较小的 t_{Si} ($< 40\text{nm}$) 下工作; 而掺杂浓度较高时($> 10^{18}\text{cm}^{-3}$), 在整个膜厚变化范围内, 两种结构管子均可以正常工作. 因此, 对于 50nm 沟长的器件, DTMOS 提供了更大的优化设计的自由度, 使我们可以更大的硅膜掺杂及硅膜厚度范围内进行设计.

图 5 和 6 分别示出了 DTMOS 及 SOI 器件的泄漏电流(I_{off})、导通电流(I_{on}) 以及开关比($I_{\text{on}}/I_{\text{off}}$). 由于 SOI 器件在掺杂较低时($< 10^{18}\text{cm}^{-3}$) 已发生穿透, 讨论其导通电流并无意义, 所以在图 5(b) 及图 6 中只对较高掺杂($> 10^{18}\text{cm}^{-3}$) 的情况作了比较. 综合分析可知, DTMOS 器件泄漏电流比 SOI 器件要

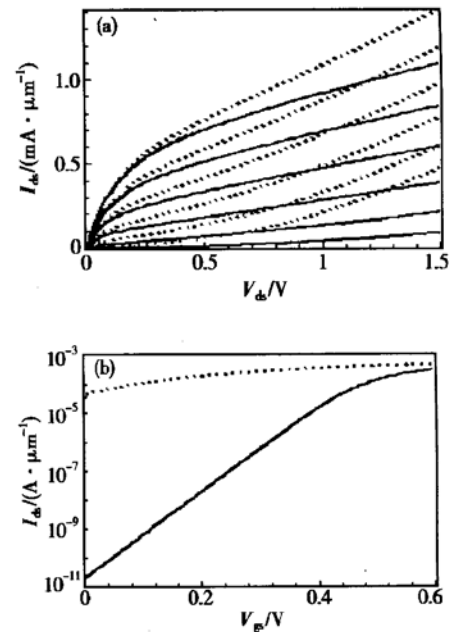


图4 (a) 输出特性($L = 50\text{nm}$, $\text{film doping} = 9 \times 10^{17}\text{cm}^{-3}$, $t_{\text{Si}} = 40\text{nm}$. V_{gs} : 0.1~0.6V, step: 0.1V. 实线: SOI-DTMOS, 虚线: SOI); (b) 转移特性($L = 50\text{nm}$, $\text{film doping} = 9.5 \times 10^{17}\text{cm}^{-3}$, $t_{\text{Si}} = 15\text{nm}$. 实线: SOI-DTMOS, 虚线: SOI)

Fig. 4 (a) Output characteristic($L = 50\text{nm}$, $\text{film doping} = 9 \times 10^{17}\text{cm}^{-3}$, $t_{\text{Si}} = 40\text{nm}$. V_{gs} : 0.1~0.6V, step: 0.1V. Solid lines: SOI-DTMOS, Dashed lines: SOI); (b) Transfer characteristic($L = 50\text{nm}$, $\text{film doping} = 9.5 \times 10^{17}\text{cm}^{-3}$, $t_{\text{Si}} = 15\text{nm}$. Solid lines: SOI-DTMOS, Dashed lines: SOI)

小 2~4 个数量级, 其开关比则比 SOI 器件高出 2~4 个数量级. 比如 film doping 为 $1.5 \times 10^{18}\text{cm}^{-3}$, t_{Si} 为 25nm 时, DTMOS 的 I_{off} 约为 $10^{-10}\text{A}/\mu\text{m}$, $I_{\text{on}} > 300\mu\text{A}/\mu\text{m}$; 而 SOI 的 $I_{\text{off}} > 10^{-6}\text{A}/\mu\text{m}$, I_{on} 为 $340\mu\text{A}/\mu\text{m}$, 因此 DTMOS 同时保证了很低的泄漏电流及较大的导通电流, 即实现了高速与低功耗的结合, 而 SOI 器件虽然也有较大的导通电流, 但其泄漏电流太大, 无法满足低功耗的要求.

DTMOS 之所以同时保证了很低的 I_{off} 及较大的 I_{on} , 是因为体电极的存在会减弱源漏耗尽区对有效栅控耗尽区的影响, 也就是说, 由于体电极的作用, 会使体区硅膜电势抬升, 抑制源漏耗尽区的横扩, 从而增大了有效栅控耗尽区. 在关态下, 由于 DTMOS 的有效栅控耗尽区比常规 SOI 的要大, 所以, 其弱反型的电子浓度就要比常规 SOI 的要小, 从而其泄漏电流就要小. 而在开态下, 由于电极对硅膜的影响, 使得源区电子更易于注入沟道, 故又可保持较高的导通电流.

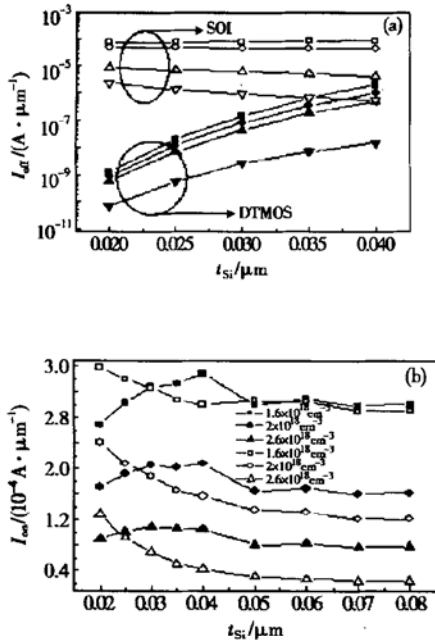


图5 (a) SOI 及 SOF-DTMOS 关态电流 (掺杂自上往下依次为: $8 \times 10^{17}, 9 \times 10^{17}, 10^{18}, 1.5 \times 10^{18} cm^{-3}$); (b) SOI 及 SOF-DTMOS 的导通电流
Fig. 5 (a) Off-current of SOI and SOF-DTMOS (Film dopings from top to bottom: $8 \times 10^{17}, 9 \times 10^{17}, 10^{18}, 1.5 \times 10^{18} cm^{-3}$); (b) On-current of SOI and SOF-DTMOS

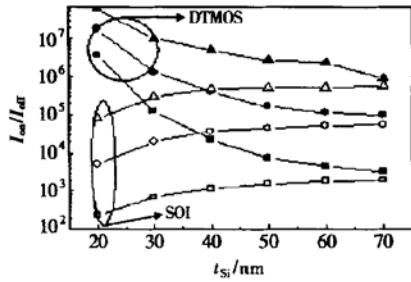


图6 SOF-DTMOS 及 SOI 的开关电流比的比较 (掺杂自上往下依次为: $2.5 \times 10^{18}, 2 \times 10^{18}, 1.5 \times 10^{18} cm^{-3}$)
Fig. 6 Comparison of ratio of I_{on} and I_{off} for SOF-DTMOS and SOI (Film dopings from top to bottom: $2.5 \times 10^{18}, 2 \times 10^{18}, 1.5 \times 10^{18} cm^{-3}$)

图7和8分别为50nm沟长下DTMOS与SOI器件的DIBL及SCE的比较. 在DIBL中, $V_{th-shift} = V_{th}(V_{ds} = 0.6V) - V_{th}(V_{ds} = 0.1V)$; 在SCE中, $V_{th-shift} = V_{th}(L = 0.5\mu m) - V_{th}(L = 50nm)$. 由于SOI器件在较低掺杂($< 10^{18} cm^{-3}$)时已发生穿通, 也就不存在DIBL及SCE, 所以图中只对较高掺杂($> 10^{18} cm^{-3}$)

的情况作了对比. 由图可见, 在保证两者均能正常工作的情况下, DTMOS的DIBL及SCE要远弱于SOI器件. 对DIBL, 在 t_{Si} 较小时, DTMOS的优势尤为突出, t_{Si} 为20nm时, filmdoping为 $1.5 \times 10^{18} cm^{-3}$ 时, DTMOS的阈值漂移比SOI小将近100mV; 对SCE, DTMOS则在整个膜厚范围内均保持了显著的优势, 其阈值漂移比SOI要小150mV左右. 容易理解, 正因为DTMOS的体电极抬高了体区硅膜的电势, 对漏体之间的电势差起到了一个补偿作用, 从而有效地抑制源漏耗尽区的扩展及其对有效栅控耗尽区的影响, 所以能很好地减弱DIBL及SCE效应. 因此可以非常肯定地说, 在50nm沟长下, DTMOS具有SOI器件无法比拟的巨大优势.

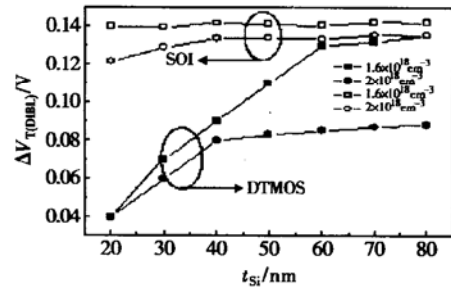


图7 SOF-DTMOS 及 SOI 的DIBL效应
Fig. 7 DIBL for SOF-DTMOS and SOI

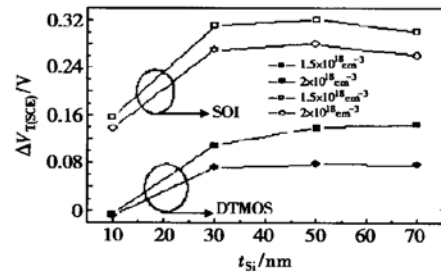


图8 SOF-DTMOS 及 SOI 的SCE效应
Fig. 8 SCE for SOF-DTMOS and SOI

最后要指出的是, 由于本论文采用的是二维模拟, 肯定是与实际的DTMOS器件是有一定的差别. 因为实际的DTMOS器件的体电极是在栅的宽度方向, 而在二维模拟中, 电极只能加在硅膜底部, 所以还不能完全反映某些特征. 要进一步讨论SOF-DTMOS, 必须采用三维模拟.

4 结论

本文通过对 SOI-DTMOS 及常规 SOI 器件的模拟, 得出 SOI-DTMOS 器件较 SOI 器件具有更强的 scaling-down 能力, 并通过对 50nm 沟长下的两种器件的大量模拟计算得出 50nm 沟长下 SOI-DTMOS 器件的各方面性能较 SOI 器件均有显著的优势, 而且相对于沟长更长的情况(100nm)而言, 这种优势是更为明显的, 从而我们可知, SOI-DTMOS 较 SOI 更适合于在更短沟道(50nm)以及在低压、高速与低功耗领域中的应用. 另外, 综合可知, 对 50nm 沟长下的 SOI-DTMOS 器件, 提高硅膜掺杂, 减小硅膜厚度能有效抑制 DIBL 及 SCE 效应. 本文为 50nm 沟长下的 SOI-DTMOS 器件设计提供了参数选取的一定范围.

参考文献

- [1] Kuo J B, Yuan K H, Lin S C. Compact threshold-voltage model for short channel partially-depleted (PD) SOI dynamic-threshold MOS (DTMOS) devices. *IEEE Trans Electron Devices*, 2002, 49(1): 190
- [2] Assaderaghi F. DTMOS: Its derivatives and variations, and their potential applications. *Proceedings International Conference on Microelectronics*, 2000: 9
- [3] Balestra F. Impact of device architecture on performance and reliability of deep submicron SOI MOSFETs. *Chinese Journal of Semiconductors*, 2000, 21: 937
- [4] Wu Chuanliang, Cao Jianmin, Huang Chang, et al. Experimental studies of SOI DTMOSFET for low-voltage low-power applications. *IEEE Trans Electron Devices*, 1998: 1717
- [5] Lin S C, Yuan K H, Kuo J B. Short-channel effects of SOI partially-depleted(PD) dynamic-threshold MOS(DTMOS) devices. *IEEE Trans Electron Devices*, 2000, 47: 48
- [6] Jin W, Chan P C H, Chan M. On the power dissipation in dynamic threshold silicon-on-insulator CMOS inverter. *IEEE Trans Electron Devices*, 1998, 45: 732
- [7] Lee J W, Kim H K, Oh J H, et al. A new SOI MOSFET for low power applications. *Proceeding of 1998 IEEE International SOI Conference*, 1998: 65
- [8] Wu Chuanliang. Numerical simulation and design of SOI MOS device, RO and SOI-DTMOS device, RO, Process of SOI CMOS, DTMOS. Doctor's Degree Paper. Institute of Microelectronics Shanxi, 1998 (in Chinese)[吴传良. SOI MOS 器件与环振的数值模拟、设计和 SOI DTMOS 器件与环振电路的设计及 SOI CMOS DTMOS 工艺开发. 博士学位论文, 陕西微电子学研究所, 1998]
- [9] Colinge J P. Silicon-on-insulator technology — materials to VLSI. Kluwer Academic Publish, 1991
- [10] Arora N. MOSFET models for vlsi circuit simulation — theory and practice. Springer-Verlag, 1993
- [11] ISE TCAD Manuals for MESH, DESSIS, INSPECT, and PICASSO tools, ISE8. 0, 1994~ 2002

50nm SOI-DTMOS Device Performances*

Chen Guoliang and Huang Ru

(*Institute of Microelectronics, Peking University, Beijing 100871, China*)

Abstract: The 50nm SOI-DTMOS device performances are researched and compared with the conventional SOI device by using ISE, the two-dimensional device simulation software ISE. The results show that at a gate length of 50nm the performances of SOI-DTMOS have much advantages over conventional SOI device. SOI-DTMOS has a better sub-threshold characteristics, much smaller sub-threshold leakage current, and thus lower static power. Furthermore, SOI-DTMOS has a comparatively high drive current guaranteeing the speed of the device. Compared with the conventional SOI device, SOI-DTMOS can effectively restrain the punch-through, DIBL, SCE effects, and thus keeps the good performance on further scaling-down. Simple analysis on the physical mechanism of SOI-DTMOS device and the physical characteristics accounting for its advantages. And the direction of further research, is pointed out.

Key words: 50nm; SOI-DTMOS device; simulation

EEACC: 2560; 2560Z; 2570F; 1265B

Article ID: 0253-4177(2003)10-1072-06

* Project supported by National Natural Science Foundation of China (No. 90207004) and State Key Fundamental Research Project(No. 2000036501)

Chen Guoliang male, was born in 1980, graduate student. He is engaged in the research on the novel structure device and the manufacturing process.

Huang Ru female, was born in 1969, professor. Her research interests are in novel structure device, novel process, device modeling and circuit design.

Received 4 December 2002, revised manuscript received 18 April 2003

©2003 The Chinese Institute of Electronics