

超薄顶层硅 SOI 衬底上高 k 栅 介质 ZrO_2 的性能*

章宁琳 宋志棠 沈勤我 林成鲁

(中国科学院上海微系统与信息技术研究所 信息功能材料国家重点实验室, 上海 200050)

摘要: 采用超高真空电子束蒸发法制备了用于全耗尽 SOI 场效应晶体管(MOSFET)中作为高 k 栅介质的 ZrO_2 薄膜. X 射线光电子能谱(XPS)分析结果显示: ZrO_2 薄膜成分均一, 为完全氧化的 ZrO_2 , 其中 Zr: O= 1: 2. 2, 锆氧原子比偏高可能是由于吸附了空气中 O_2 等杂质. 扩展电阻法(SRP)和剖面透射电镜(XTEM)都表征出 $600\text{ }^\circ\text{C}$ 退火样品清晰的 $ZrO_2/\text{top Si}/\text{BO}/\text{Si sub}$ 的结构, 其中 $ZrO_2/\text{top Si}$ 界面陡直, 没有界面产物生成. 选区电子衍射显示薄膜在 $600\text{ }^\circ\text{C}$ 快速退火后仍基本呈非晶态. 研究了上述 MOSOS 结构的高频 $C-V$ 性能, 得到 ZrO_2 薄膜的等效氧化物厚度 $EOT=9.3\text{nm}$, 相对介电常数 $\epsilon\approx 21$, 平带电位 $V_{FB}=-2.451\text{eV}$.

关键词: 超高真空电子束蒸发法; 全耗尽 SOI MOSFET; 高 k 栅介质; ZrO_2

PACC: 0600; 0730G

中图分类号: TN304. 2

文献标识码: A

文章编号: 0253-4177(2003)10-1099-04

1 引言

随着 IC(integrated circuits)集成度的进一步提高, 器件尺寸不断减小, 当栅介质的厚度小于 2nm 时, MOSFET 的驱动电流倾向于达到饱和, 跨导也随着栅介质厚度的减薄而降低^[1]. 另外超薄的栅氧化物还有一些固有的散射机制^[2], 如多晶硅/氧化物界面粗糙度导致的散射、远程杂质散射、界面等离子体散射等. 而且超薄的栅氧化物由于和硅的界面势垒变薄会引起电子直接隧穿的现象, 因此采用高介电常数的新型栅介质来代替传统的 SiO_2 栅介质日益成为国内外研究的热点之一. 因为高 k 栅介质可以在保证电容一定的前提下, 物理厚度较厚, 这样就可以减少甚至避免上述由于栅介质过薄带来的不利因素.

SOI(silicon on insulator)技术被认为是 21 世纪的硅集成电路技术, 与体硅相比具有无闩锁、高速、低压、低功耗和抗辐照等优点^[3], 而且 SOI 还可以制造

三维集成电路的基底材料^[4]. 但是由于部分耗尽的 SOI MOSFET 容易在沟道下面产生多余的电荷. 这些电荷聚集起来使得体 Si 电压上升, 导致“浮体效应”. 因此, 目前研究较多的是具有薄顶层硅的全耗尽 SOI MOSFET. Intel 公司正致力于 2005 年运算速度为 THz 的 SOI MOSFET 的研究, 他们就是采用了高 k 栅介质和薄顶层硅 SOI 为基底的 DST(depleted substrate transistor).

本文针对上述的发展现状和要求, 研究了具有超薄顶层硅的 SOI 为基底, ZrO_2 为栅介质 MOSOS 结构电容的电学性能, 并分析了其他相关性能.

2 实验

衬底采用 SOITEC 公司生产的 SOI 片, 其具体参数、清洗工艺步骤以及高 k 栅介质 ZrO_2 的制备过程请参考文献[5]. 快速退火(RTA)的气氛采用高纯 O_2 , 退火温度为 $600\text{ }^\circ\text{C}$, 时间为 3min .

采用 XPS 分析了薄膜的表面和深度的化学成

* 国家重点基础研究专项经费资助项目(Nos. G20000365, 001CB610408)

章宁琳 博士研究生, 目前从事高 k 栅介质与 MOSFET 器件模拟、二维光子晶体光波导方面的研究.

2002-11-01 收到, 2003-01-03 定稿

分, SRP 和 XTEM 研究了薄膜的界面情况, XTEM 同时还表征出薄膜的微结构. 电学性能研究采用 SOI 为基底, ZrO_2 为栅介质的 MOSOS 电容结构. 电极采用电子束蒸发 Al, 上电极通过掩模板形成图形, 电极直径为 0.3mm.

3 结果与讨论

XPS 采用 Microlab MK II 电子能谱仪, X 射线发生源是 $MgK\alpha$ (300W), 带通能量为 20eV, 靶室真空度为 2×10^{-7} Pa, 采用 $C1s = 284.6$ eV 定标. 图 1 给出了 600 °C 快速退火样品 Zr3d 的 XPS 局部谱, 其中 $Zr3d_{5/2}$ 和 $Zr3d_{3/2}$ 的结合能分别为 181.8 和 184.1 eV. 这说明在实验条件下, 对于氧化锆/Si/BO(埋氧)/Si(衬底)结构, 氧化锆薄膜中存在着 Zr-O 键, 且薄膜中 Zr 元素的主要化合价态为正 4 价, 即 Zr^{4+} , 说明薄膜虽然在生长过程中有少部分分解, 但在随后的快速退火过程中被完全氧化, 得到的主要成分是充分氧化的 ZrO_2 . 对锆氧原子比例为 Zr:O = 1:2.2, 比 ZrO_2 中的锆氧原子比要高, 可能是由于薄膜快速退火后暴露在大气中吸附了 O_2 、 CO_2 或水蒸气等杂质, 导致薄膜中含氧量偏高.

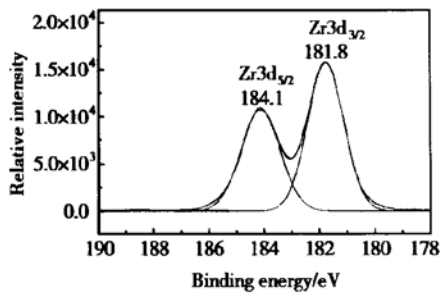


图 1 ZrO_2 薄膜 600 °C 快速退火后 Zr3d 的 XPS 图谱

Fig. 1 High resolution Zr3d XPS of ZrO_2 thin films rapid thermal annealed at 600 °C

图 2 给出了经过 600 °C 快速退火样品的 SRP. 图中 Y 轴给出的是扩展电阻值, 由于该谱的标样是 Si 衬底, 而不是 SOI 衬底, 所以得到的数据只具有相对的参考价值. 从图中我们可以看出样品已经形成了典型的高 k /顶层硅/埋氧/硅衬底的结构, 而且高 k ZrO_2 /顶层硅之间界面陡直, 没有界面产物信息.

图 3 是 600 °C RTA 样品剖面透射电镜的照片, 可以清晰地分辨出 ZrO_2 /top Si/BO/Si sub 的结构,

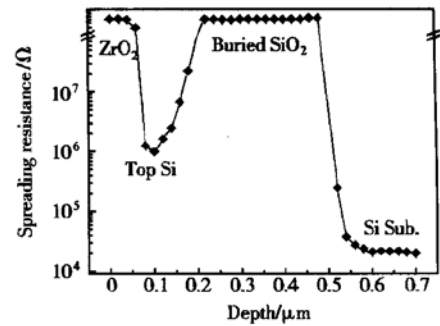


图 2 600 °C 快速退火样品的 SRP 图谱

Fig. 2 SRP of sample annealed at 600 °C

而且 ZrO_2 /top Si 的界面陡直, 没有界面产物. 其中 ZrO_2 薄膜的厚度在 47nm 左右, 在更大放大倍率的 TEM 照片中显示薄膜是非晶结构, 这里没有给出. 对于栅介质来说, 非晶结构非常重要, 因为多晶形态的栅介质存在晶界, 容易成为漏电流的通路, 而且多晶潜在的晶面导致界面粗糙度增大, 从而使界面散射增多, 载流子迁移率下降^[6].

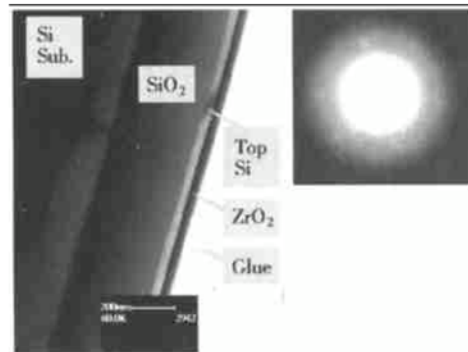


图 3 600 °C 快速退火后样品的 XTEM 和 ZrO_2 层的选区电子衍射

Fig. 3 XTEM of 600 °C annealed sample and SAD of ZrO_2 layer

对 Al/ ZrO_2 /SOI/Al 的 MOSOS 电容结构测量了高频 (1MHz) C-V 特性, 测试设备型号为 HP4194A. 经过 600 °C 快速退火样品的 C-V 曲线如图 4 所示. 根据高频 C-V 曲线的积累区电容 3.058×10^{-11} F, 得到 $EOT = 9.3$ nm, $\epsilon \approx 21$. 根据文献 [7], 得到 $V_{FB} = -2.451$ eV, 这和理想的 0V 发生了偏移, 可能有两个方面的原因: (1) 上电极 Al 和顶层硅之间的功函数不同, 导致了平带电位发生偏移; (2) 由于氧离子在 ZrO_2 栅介质中的高温扩散速率很高, 扩散了的氧离子留下一些带正电荷的空位, 导致平带电位负移.

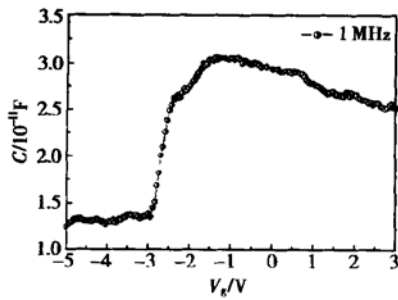


图4 600 °C快速退火后样品的高频 $C-V$ 曲线($Al/ZrO_2/SOI$ MOSOS 电容结构)

Fig. 4 High frequency $C-V$ curve of 600 °C annealed sample ($Al/ZrO_2/SOI$ MOSOS capacitor structure)

4 结论

采用超高真空电子束蒸发法成功制备了用于全耗尽 SOI MOSFET 的栅介质氧化锆, 经过 600 °C 快速退火后, 其主要成分是完全氧化的 ZrO_2 , 锆氧原子比为 1: 2.2, 比理想配比 1: 2 略大, 可能是由于薄膜在快速退火后暴露在大气中, 吸附了环境中 O_2 、 CO_2 或水蒸气等杂质所致. SRP 和 XTEM 清晰地分辨出 $ZrO_2/top\ Si/BO/Si\ sub$ 的结构, 且 $ZrO_2/top\ Si$ 的界面陡直, 无界面产物. 其中 ZrO_2 薄膜基本是非晶结构, 厚度在 46nm 左右. 根据 600 °C 快速退火后样品的高频(1MHz) $C-V$ 曲线, 得到 $EOT = 9.3nm$, $\epsilon \approx 21$, $V_{FB} = -2.451eV$, 这主要由于 Al 电极和 SOI 基底上层硅功函数不同和氧离子扩散后薄膜中带正电荷的空位引起的.

当然 ZrO_2 用于全耗尽 SOI MOSFET 还有很

多工作要做, 如目前生长的氧化锆薄膜太厚, 要满足高 k 栅介质几纳米的要求还有一段距离, 本文仅仅探讨 SOI MOSOS 电容的特性, 未考虑源漏的影响等. 但从目前的研究结果来看, ZrO_2 在全耗尽 SOI MOSFET 中的应用是有希望的.

参考文献

- [1] Liao C C, Chin A, Tsai C. Electrical characterization of Al_2O_3 on Si from thermally oxidized AlAs and Al. *J Cryst Growth*, 1999, 201/ 202: 652
- [2] Takagi S, Yanagi M. Experimental evidence of inversion-layer mobility lowering in ultrathin gate oxide metal-oxide-semiconductor field-effect-transistors with direct tunneling current. *Jpn J Appl Phys*, 2002, 41: 2348
- [3] Zhang Miao, Chen Lizhi, Lin Zixin, et al. Smart-cut technology by hydrogen implantation of SOI materials. The Third National Symposium on SOI Technology, Shanghai, 1997: 20 (in Chinese)[张苗, 陈莉芝, 林梓鑫, 等. SOI 材料的注氢智能剥离. 第三届全国 SOI 技术研讨会论文集, 上海, 1997: 20]
- [4] Colinge J P. Silicon-on-insulator technology materials to VLSI. Beijing: Science Press, 1991[考林基 J P. SOI 技术 21 世纪的硅集成电路技术. 北京: 科学出版社, 1991]
- [5] Zhang Ninglin, Song Zhitang, Shen Qinwo, et al. Microstructural and electrical properties of ZrO_2 thin films prepared on thin top silicon SOI substrates. *Chin Phys Lett*, 2003, to be published
- [6] Muller D A, Sorsch T, Moccio S, et al. The electronic structure at the atomic scale of ultrathin gate oxides. *Nature*, 1999, 399: 758
- [7] Schroder D K. Semiconductor material and device characterization. Second edition. New York: John Wiley & Sons, 1990: 350

High k Gate Dielectric ZrO_2 Thin Films on SOI Substrate with Ultra-Thin Top Silicon*

Zhang Ninglin, Song Zhitang, Shen Qinwo and Lin Chenglu

(State Key Laboratory of Functional Materials for Informatics, Shanghai Institute of Microsystem and Information Technology,
The Chinese Academy of Sciences, Shanghai 200050, China)

Abstract: Ultra-high vacuum electron evaporation is used to deposit high k gate dielectric ZrO_2 thin films on SOI substrate with ultrathin top silicon to be applied in SOI MOSFET depleted fully. XPS is applied to detect the chemical information of the films. XPS results show that the zirconia films are uniform and fully oxidized. The atomic ratio of Zr: O is 1: 2.2, which is higher than that in the case of ZrO_2 , probably due to the absorption of the impurities, i. e., O_2 from ambient. Both SRP and XTEM prove the clear structure of ZrO_2 /top Si/BO/Si sub. And the interface between ZrO_2 and top silicon is abrupt without interfacial product. Selected area diffraction (SAD) gives the information that the ZrO_2 thin films is almost amorphous after RTA in O_2 at 600 °C. High frequency at 1MHz $C-V$ characteristics is studied with the SOI MOSOS capacitor formed by electron beam evaporation of Al as top and bottom electrodes. The results reveal $EOT=9.3nm$, $\epsilon \approx 21$, $V_{FB} = -2.451eV$.

Key words: ultra-high vacuum electron evaporation; fully depleted SOI MOSFET; high k gate dielectric; ZrO_2

PACC: 0600; 0730G

Article ID: 0253-4177(2003)10-1099-04

* Project supported by the Special Funds for Major State Basic Research Projects (Nos. G20000365, 001CB610408)

Zhang Ninglin PhD candidate. She is engaged in the research on high k materials to be applied in MOSFET, relative 2-D device simulation, and photonic crystal waveguides.

Received 1 November 2002, revised manuscript received 3 January 2003

©2003 The Chinese Institute of Electronics