

# 适用于阵列波导光栅制作的厚 SiO<sub>2</sub> 陡直刻蚀技术

魏 珂 刘训春 曹振亚 王润梅 罗明雄 牛立华

(中国科学院微电子中心, 北京 100029)

**摘要:** 采用 ICP-98 型高密度等离子体刻蚀机进行了厚 SiO<sub>2</sub> 陡直刻蚀技术的研究, 利用双层掩膜技术解决了“微掩膜现象”问题, 刻蚀获得 12.4 $\mu\text{m}$  的陡直 SiO<sub>2</sub> 光波导剖面, 并将这一刻蚀技术用于阵列波导光栅的制作中。

**关键词:** 阵列波导光栅(AWG); SiO<sub>2</sub>; 感应耦合等离子体刻蚀(ICP)

**EEACC:** 4130; 4125

**中图分类号:** TN814<sup>+</sup>.7

**文献标识码:** A

**文章编号:** 0253-4177(2003)11-1222-04

## 1 引言

二十世纪八十年代以来, 光纤通信技术发展迅速并已经广泛应用. 波分复用(wavelength division multiplexing, WDM)技术是近几年光纤通信传输技术中的研究热点. 它利用了一根光纤可以同时传输多个不同波长的光载波的特点, 把光纤可能应用的波长范围划分成若干个波段, 每个波段用作一个独立的通道, 传输一种预定波长的光信号.

密集波分复用(DWDM)光纤传输技术<sup>[1]</sup>是扩大光纤通信网络传输量的主要技术手段, 一直是研究热点. 在所有集成光波导型光合波分波器中, 目前研制开发最多的是阵列波导光栅(AWG)型光合波分波器. AWG是由长度不同的几个波道波导(阵列波导群), 再加上输入输出两个盘形波导一起集成在衬底上面制成. 其应用极为广泛, 如波长路由器(wavelength router)<sup>[2]</sup>、光上/下路复用器(optical add/drop multiplexer)<sup>[3]</sup>、光交叉互连(optical crossconnect)<sup>[4]</sup>等. 它的波长分辨率高、通道数大、插入损耗小、通带平坦、制作成本低, 非常适合 DWDM 系统.

AWG 的芯层是掺 Ge SiO<sub>2</sub>, 厚度常达到 10 $\mu\text{m}$  以上. 厚 SiO<sub>2</sub> 的陡直刻蚀成为制约 AWG 的技术因素之一. 传统的反应离子刻蚀(RIE)因为等离子密

度低、真空度低, 无法进行高速、陡直刻蚀, 很难满足 AWG 加工对刻蚀技术的要求. 徐永青等人<sup>[5]</sup>报道了用 RIE 刻蚀 6 $\mu\text{m}$  AWG 的结果. Breton 等人<sup>[6]</sup>报道了用 RIE 刻蚀 15 $\mu\text{m}$  AWG 的结果, 但出现横向钻蚀. 高速率、陡直性、高均匀性的 SiO<sub>2</sub> 刻蚀技术是影响 AWG 制作的关键因素之一, 感应耦合等离子体(inductively coupled plasma, ICP)在这些方面具有优势<sup>[7]</sup>.

## 2 实验

### 2.1 ICP 刻蚀机原理

ICP 原理如图 1 所示. 射频源 RF1 作用反应室上部, 激发产生等离子体, 在 RF2 的引导下, 等离子体向基片运动达到各向异性刻蚀的目的. 与传统的 RIE 相比, ICP 的等离子体密度高出约 2 个数量级, 一般可以达到 10<sup>11</sup>~10<sup>12</sup>cm<sup>-3</sup>, 刻蚀速率高. 自偏压可以独立控制, 损伤可以降低, 工作真空度高, 有利于陡直刻蚀<sup>[7]</sup>.

### 2.2 实验条件

实验采用本单位自行研制的 ICP-98 型高密度等离子体刻蚀机. 刻蚀的样品为用 STS 公司生产的 PECVD 机生长得到的厚 SiO<sub>2</sub>, 厚度分别为 10 $\mu\text{m}$  和

魏 珂 男, 1971 年出生, 工程师, 从事化合物半导体器件以及微细加工技术的研究.

刘训春 男, 1943 年出生, 研究员, 从事化合物器件以及微细加工技术的研究.

2002-11-28 收到, 2003-02-19 定稿

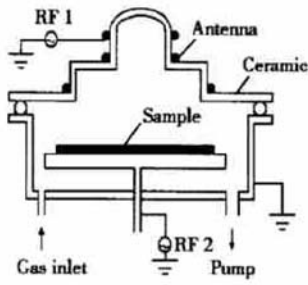


图 1 ICP 原理示意图

Fig. 1 Schematic of inductively coupled plasma

12 $\mu\text{m}$ , 光刻胶采用正胶 AZ9918, 金属掩膜 Cr、Al、Ni 采用电子束蒸发, 图形制作采用剥离(lift-off)技术, 刻蚀气体采用 CHF<sub>3</sub>, 扫描电镜为 JEO-300.

### 3 结果及讨论

#### 3.1 刻蚀速率

厚 SiO<sub>2</sub> 的刻蚀需要较高的刻蚀速率. 影响刻蚀速率的因素很多, 包括源功率、偏压功率、气体种类以及对比、流量、反应室压力、上下电极间距离等. 刻蚀速率与流量、功率基本上成近似线性关系. 因为流量加大, 等离子密度加大, 所以刻蚀速率很快<sup>[8]</sup>. 另外功率密度对于刻蚀速率的提高也至关重要. 图 2 给出了相同功率条件下, 不同功率密度(电极尺寸不同)对刻蚀速率的影响. 工作气压为 1.7Pa, 功率从小增大的过程中, 刻蚀速率加大. 高功率密度下增加的幅度更大, 因为大的功率密度情况下, 刻蚀气体的离化更为充分.

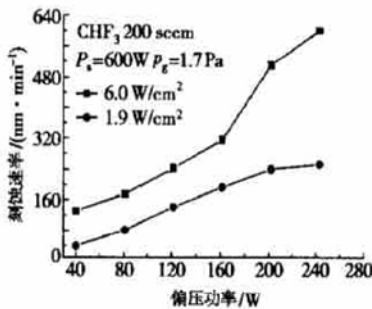


图 2 不同功率密度下刻蚀速率随偏压功率的变化

Fig. 2 Etching rate as function of bias power under different power density

#### 3.2 微掩膜现象<sup>[9]</sup>

厚 SiO<sub>2</sub> 的刻蚀, 由于刻蚀时间较长, 普通光刻

胶难以掩蔽. 一般采用的是 Cr、Ni、Al 等金属硬掩膜.

使用硬掩膜刻蚀厚 SiO<sub>2</sub> 的过程中, 经常会出现图 3 所示的现象. 其原因是在离子的轰击下, 金属颗粒溅落到刻蚀区, 如果继续刻蚀, 这些颗粒将成为微小掩膜, 造成刻蚀表面的“毛刺”, 其高度将达到 5 $\mu\text{m}$  左右甚至更高, 这种现象称为微掩膜现象<sup>[9]</sup>. 它的形成过程如图 4 所示. 这些毛刺对器件影响很大. 单层金属掩膜的刻蚀过程中极易出现这种现象. 自

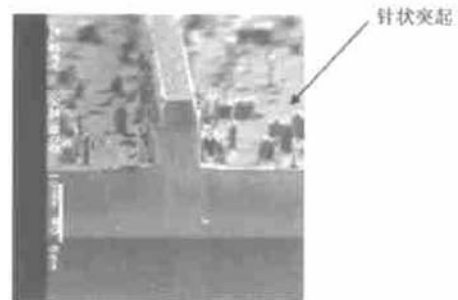


图 3 微掩膜现象

Fig. 3 Micromask phenomena

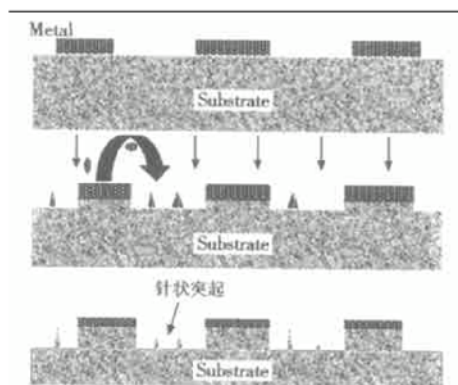


图 4 微掩膜形成示意图

Fig. 4 Schematic of micromask phenomena

偏压越高, 这种现象就越严重, 降低自偏压则可以减轻这种现象. 但 SiO<sub>2</sub> 的刻蚀需要较高的自偏压轰击以打开 Si—O 键, 这一矛盾对于掩膜的制作提出了更高的要求. 由于刻蚀深度达到 10 $\mu\text{m}$  以上, 横向刻蚀会导致线宽加大. 如果采用单层光刻胶, 不能消除横向刻蚀, 很难获得陡直的刻蚀剖面. 单独使用光刻胶或金属掩膜都难以满足这一要求. 采用图 5 所示的双层掩膜结构可以消除这一现象. 即在 SiO<sub>2</sub> 表面由电子束蒸发一层金属, 涂胶、光刻、湿法腐蚀金属. 将光刻胶用 140 $^{\circ}\text{C}$  高温烘烤, 并用 CHF<sub>3</sub> 轰击处理. 这样处理过的光刻胶抗蚀作用非常突出. 处理前刻

蚀速率为  $102\text{nm}/\text{min}$ , 处理后刻蚀速率为  $30\text{nm}/\text{min}$ , 相差 3 倍以上. 采用双层结构, 表面的光刻胶可以阻止离子对金属表面的轰击, 下层的金属可以防止  $\text{SiO}_2$  的横向钻蚀.

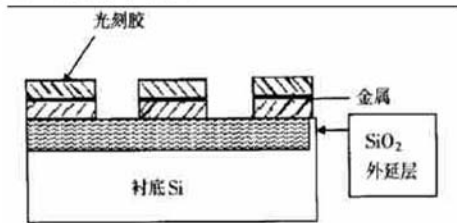


图 5 双层掩膜结构示意图

Fig.5 Schematic of double mask

采用这种两层掩蔽膜结构的掩膜, 刻蚀深度达到  $10\mu\text{m}$  时, 光刻胶仍有剩余.  $\text{SiO}_2$  刻蚀产物主要为  $\text{SiF}_4$ , 挥发性好, 刻蚀表面会形成含 C-O-F 的聚合物 (polymer), 厚度约几十纳米, 它虽可以提供侧壁保护, 但影响垂直方向的刻蚀速率<sup>[10]</sup>. 在刻蚀过程中, 间隔通入  $60\text{sccm}$  的  $\text{O}_2$  在  $20\text{W}$  的偏压功率起辉 (源功率  $600\text{W}$  不变) 约  $1\text{min}$ , 这样可以去除表面的聚合物.

### 3.3 AWG 刻蚀

利用双层掩膜技术, 我们进行了 AWG 的刻蚀, 结果如图 6 所示, 刻蚀深度为  $12\mu\text{m}$ , 宽为  $5\mu\text{m}$ , 顶层为掺锗层. 陡直度超过  $89^\circ$ , 这一结果可以满足 AWG 刻蚀技术的要求, 而且刻蚀内壁干净, 适于做光波通道.

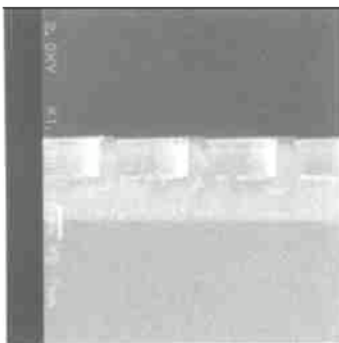


图 6 波导刻蚀剖面图

Fig.6  $12.4\mu\text{m}$  depth AWG

## 4 结论

本文利用自制 ICP-98 型高密度等离子体刻蚀机进行了厚  $\text{SiO}_2$  的陡直刻蚀技术研究. 采用了双层掩膜技术, 解决了厚  $\text{SiO}_2$  陡直刻蚀中出现的“微掩膜现象”, 进行了 AWG 的刻蚀研究, 获得了深度为  $12.4\mu\text{m}$  的陡直的  $\text{SiO}_2$  波导光栅阵列, 该技术可以用于 AWG 的制作.

## 参考文献

- [ 1 ] Emura K. Multi-terabits DWDM technologies and perspectives(A). OFC 2001, 2001
- [ 2 ] Okamoto K. Recent process of integrated optical planar light-wave circuits. Opt Quantum Electron, 1999, 31: 107
- [ 3 ] Takahashi H, Hibino Y, Nishi I. Polarization-insensitive arrayed-waveguide grating wavelength multiplexer on silicon. Opt Lett, 1992, 17(7): 500
- [ 4 ] Smit M K. PHASAR-based WDM-device: principles, design and application. IEEE J Sel Topics Quantum Electron, 1996, 2(2): 236
- [ 5 ] Xu Yongqing, Liang Chunguang, Yang Yongjun, et al. Silicon-silicon optical waveguide. Chinese Journal of Semiconductors, 2001 22( 12): 1547(in Chinese) [ 徐永青, 梁春广, 杨拥军, 等. 硅基  $\text{SiO}_2$  光波导. 半导体学报, 2001, 22( 12): 1547]
- [ 6 ] Bretolu S, Di Mola D, Fioravanti E. Inductively coupled plasma etching for arrayed waveguide gratings fabrication in silica on silicon technology. J Vac Sci Technol B, 2002, 20(5): 2085
- [ 7 ] Layadi N, Colonel J I, et al. An introduction to plasma etching for VLSI. Bell Labs Technical Journal, 1999, 4(3): 156
- [ 8 ] Wei Ke, Liu Xunchun, Guo Xiaoxu, et al. ICP dry etching for deep vertical trench in Si and  $\text{SiO}_2$ . 2001 6th International Conference on Solid-State and Integrated Circuit Technology Proceedings, 2001: 456
- [ 9 ] Weels T, El-Gomali M M, Wood J. Low temperature reactive ion etching of silicon with  $\text{SF}_6/\text{O}_2$  plasmas. J Vac Sci Technol B, 1997, 15: 434
- [ 10 ] Oehrlein G S, Zhang Y, Vender D, et al. Fluorocarbon high-density plasma ( II ): Silicon dioxide and silicon etching using  $\text{CF}_4$  and  $\text{CHF}_3$ . J Vac Sci Technol B, 1994, 12(2): 333

## A Deep Vertical SiO<sub>2</sub> Etching Technique for AWG Fabrication

Wei Ke, Liu Xunchun, Cao Zhenya, Wang Runmei, Luo Mingxiong and Niu Lihua

(*Microelectronics R&D Center, The Chinese Academy of Sciences, Beijing 100029, China*)

**Abstract:** Arrayed-waveguide grating(AWG) multiplexer is the key device among all the demulti/multiplexer. The difficulty in an AWG fabrication is deep vertical SiO<sub>2</sub> etching. Using ICP-98 high-density plasma etcher, a deep vertical SiO<sub>2</sub> etching technology is demonstrated and is used to etch an AWG. The micro-mask phenomenon is solved by using double mask technology.

**Key words:** arrayed waveguide grating; SiO<sub>2</sub>; inductively coupled plasma etching

**EEACC:** 4130; 4125

**Article ID:** 0253-4177(2003)11-1222-04

---

Wei Ke male, was born in 1971, engineer. He is engaged in the research on compound semiconductor device and nano-fabrication.

Liu Xunchun male, was born in 1943, professor. He is engaged in the research on compound semiconductor device and nano-fabrication.

Received 28 November 2002, revised manuscript received 19 February 2003

©2003 The Chinese Institute of Electronics