

一种基于射频电子标签的超低电压 低功耗基带处理器*

何 艳[†] 胡建斌 闵 昊

(复旦大学专用集成电路与系统国家重点实验室, 复旦大学 Auto-ID 实验室, 上海 201203)

摘要: 设计了一款应用于超高频段射频识别系统中电子标签的超低电压低功耗基带处理器. 该基带处理器兼容《EPCTM Class-1 Generation-2 UHF RFID》协议, 并满足无源标签的超低功耗要求. 在设计上有针对性地提出了一种适合于门控时钟电源管理机制的体系结构, 以及简单有效的随机数发生机制和分布式译码电路; 并灵活运用了流水线结构、降低逻辑深度等低功耗技术, 实现了解码/编码、CRC 校验、指令解析、防碰撞机制和权限认证, 以及对 EEPROM 的读写操作等功能. 芯片采用 Chartered 0.35 μ m 1P3M CMOS 标准工艺实现, 正常工作的最低电压仅为 1.5V, 平均电流 2.1 μ A, 功耗 3.15 μ W, 面积 1.1mm \times 0.8mm.

关键词: 射频识别; 电子标签; 基带处理器; 低功耗; 瞬时功耗

EEACC: 1130B; 1265B; 1265F

中图分类号: TN492

文献标识码: A

文章编号: 0253-4177(2006)10-1866-06

1 引言

目前射频识别(radio frequency identification, RFID)的应用越来越广泛, 包括物流管理、智能交通、门禁考勤、电子物品监视以及 ISM(工业、科学和医疗卫生行业)等领域. 巨大的市场需求对 RFID 系统提出了低成本、低功耗的要求, 尤其是在需求量极大的电子标签方面这一要求更为迫切^[1].

RFID 系统是一种利用射频信号通过空间耦合(交变磁场或者电磁场)实现无接触信息传递, 并通过所传递信息达到多目标识别的无线通信系统. 在硬件上该系统主要由读写器(Reader)和电子标签(Tag)两部分组成. 根据最新版的《EPCTM Class-1 Generation-2 UHF RFID》协议^[2], 读写器与标签之间的通信过程如下: 读写器向电子标签发送已调制载波(UHF: 860~960MHz), 标签从载波中获取工作能量并解调出有效信号(指令信息), 根据协议要求对该信号执行相应的操作后返回应答信号.

研究表明, 电子标签接收到的瞬时能量与其工作距离的平方成反比, 标签的功耗越低, 可工作的距离越远^[3~6]. 因此, 功耗成为决定标签工作性能的关键因素. 标签芯片主要包括射频前端、基带处理器和存储器(EEPROM). 尽管对射频前端和存储器电路已进行了大量的研究工作^[5,7], 但仍然很难较大幅

度地降低标签功耗. 基带处理器作为协议执行的核心部件, 其功耗大约占整个标签功耗的 40%. 因此, 基带处理器的低功耗设计成为降低标签功耗的一个突破口.

目前电子标签的基带处理器在结构上大多采用传统的 CPU 结构^[8~11], 在电路方面也很少根据协议指令处理的特点, 采用一些有针对性的低功耗技术进行设计^[12]. 本文通过分析标签协议处理的特点和特殊的低功耗要求, 提出了一种与门控时钟电源管理机制相匹配的基带处理器架构, 以及新颖的分布式译码电路和随机数发生机制, 灵活运用了流水线操作、降低逻辑深度等低功耗技术, 设计并实现了一款新型的超低电压、低功耗基带处理器.

2 功耗分析和体系结构

2.1 功耗分析

一般由电池供电的便携式电子产品受电池储能限制, 其总能量是有限的, 但可以提供较大的瞬时功率, 因此, 这些电子产品的低功耗设计实质上是低能耗的设计. 然而, 由电磁载波提供能量的无源电子标签, 虽然可以获取的总能量是无限的——只要处在读写器的有效场域中, 就能通过射频电磁波源源不断地获取能量; 但是载波能够提供的瞬时功率却

* 国家高技术研究发展计划资助项目(批准号: 2003AA1Z1280)

[†] 通信作者. Email: yanhe@fudan.edu.cn

2005-12-05 收到, 2006-05-29 定稿

是有限的——电磁波瞬时传播的能量有限；其低功耗设计实质上是低瞬时功耗的设计，设计时应着重考虑瞬时功耗的最大值。因此，通过使功耗在整个工作时段平缓均匀地分布，可以消除尖峰功耗，进而获得更远的工作距离和更好的工作性能^[5]。

2.2 基带处理器的体系结构

根据协议，电子标签具有以下特征：(1) 标签是无源的，其低功耗设计应着重于降低瞬时功耗的最大值；(2) 标签与读写器之间采用半双工通信，一次通信只处理一条指令，标签在响应当前指令时不再接受任何新的指令；(3) 采用时隙“ALOHA”防碰撞机制，标签对指令有较长的响应时间(大约 187.5~750 μ s)，信号处理速度要求较低；(4) 标签对指令信号的处理操作是串行的，依次为接收信号解码→CRC 码校验→指令解析→指令处理(实施防碰撞机制和权限认证机制、读/写 EEPROM)→CRC 码生成→编码发送信号。

目前电子标签的基带处理器大多采用基于 CISC 指令集的传统 CPU 结构^[8~11]，例如冯·诺伊曼结构和哈佛结构。但传统结构主要是针对较大的运算量、较高的运算速度以及并行处理多条指令而设计的，各个模块通常是协同配合、同时工作的，因而会产生较大的瞬时功耗；同时，其中的 ROM 模块等会占用较大的面积、消耗较多的功耗，不利于降低瞬时功耗的最大值。针对标签协议处理的特点和特殊的低功耗要求，本文提出了一种新的体系结构，如图 1 所示(图中虚线代表时钟信号)；PWM 模块通过时钟信号和使能信号控制各个模块的工作状态；CU 模块产生控制信号指挥其余模块有序工作，实现防碰撞机制和权限认证机制；OCU 模块协助 CU 模块控制输出数据的编码和 CRC 校验；RD 是读写器发送的指令信号，MOD 是标签的返回信号。

该结构的优点在于：(1) 按功能划分的各模块具

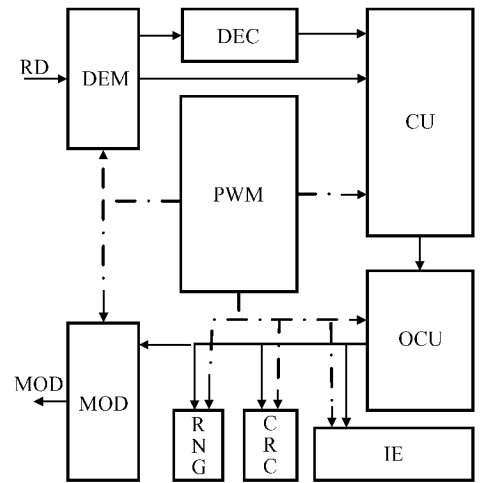


图 1 基带处理器的系统框图 DEM: 数据解码; DEC: 指令译码模块; CU: 控制单元; OCU: 输出控制单元; IE: EEPROM 接口模块; RNG: 随机数发生器; CRC: 循环冗余校验电路; MOD: 数据编码模块; PWM: 电源管理模块

Fig.1 Baseband-processor architecture diagram

有相对的独立性，便于修改维护和功能扩展；(2) 模块之间逻辑关系明晰、控制灵活，有利于门控时钟电源管理机制和流水线操作的实施；(3) 多模块的细化使得芯片功耗较均匀地分散到各模块中，单个模块的最大功耗不会超过芯片功耗的 35% (见图 2(a))，避免了功耗过于集中在某一模块，而导致该模块工作时产生较大的瞬时功耗。此外，该结构的提出也为其他半双工通信系统低功耗基带处理器的设计提供了一种新的思路。

结合 Design Compiler 综合后的门级网表的仿真结果和各模块的电路规模，各模块正常工作时的功耗占总功耗的百分比如图 2(a) 所示，其中功耗最大的是 CU 模块，约占 34%。图 2(b) 描述了电子标签在执行协议处理的过程中各个模块的有效工作时段(虚线表示选择性操作的情况)。

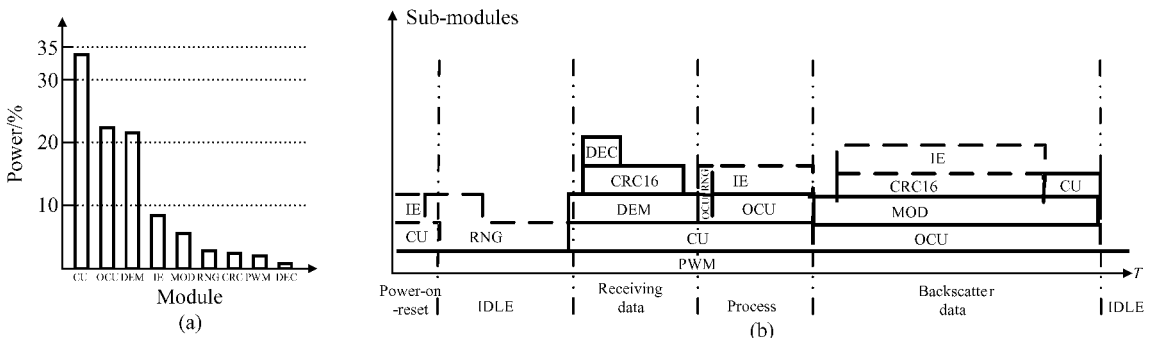


图 2 (a) 各个模块的功耗; (b) 各个模块的工作时段

Fig.2 (a) Power consumption of each module; (b) Working period of each module

3 基带处理器低功耗设计

在 CMOS 数字电路中,功耗的大小主要取决于动态功耗(约占总功耗的 90%),其计算公式为

$$P = 0.5 \times \alpha C_L V_{DD}^2 f \quad (1)$$

其中 α 为每个时钟周期内电路节点翻转的次数(也称为开关活动率); f 为时钟频率; C_L 为负载电容; V_{DD} 为电源电压^[13].因此,可以从降低电源电压 V_{DD} 、减小负载电容 C_L 、降低电路的工作频率 f 和减小电路的开关活动率 α 这几方面考虑低功耗设计.下面介绍在设计中所采用的低功耗技术,它们分别从系统级和电路级降低芯片的功耗.

3.1 含有门控时钟的电源管理机制

由图 2(b)可知,各模块并非时刻需要工作,当其空闲时将其关断,可消除冗余功耗.但是,普通使能信号并不能关断模块的时钟网络,而时钟网络所消耗的动态功耗却占了总功耗的 1/3 左右.为消除这部分冗余功耗,本文采用了门控时钟技术直接关断暂时不工作模块的时钟,彻底地消除了冗余功耗^[13,15].该机制通过控制各个模块电路时钟的通断,减小时钟线上的瞬时负载电容值,较大幅度地降低了瞬时功耗的最大值.

为保证电路的工作性能,PWM 模块与其他模块之间采用了握手协议^[10,13,14],如图 3 所示.当需要某个模块工作时,先由 PWM 模块发送一个请求信号 req,接收方回复一个应答信号 ack,两个信号均有效,PWM 模块给该模块分配时钟,模块工作,完成一次握手通信;任务完成后 ack 无效,关断时钟,模块停止工作,req 无效,完成另一次握手通信.假设不采用门控时钟电源管理机制时电路的瞬时功耗的最大值为 100%,则采用该机制后电路瞬时功耗的最大值可降低 30%左右,电路瞬时功耗随工作时段变化的具体情况见图 4.

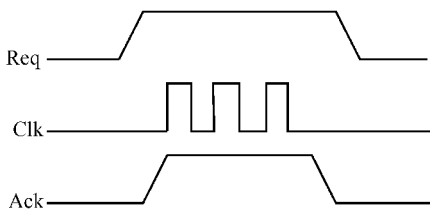


图 3 握手协议时序

Fig.3 Timing of handshake

3.2 一种新的伪 16 位随机数产生机制

防碰撞机制实施时要求各标签通过随机数发生器产生互异的 16 位数据(RN16),以此为依据识别

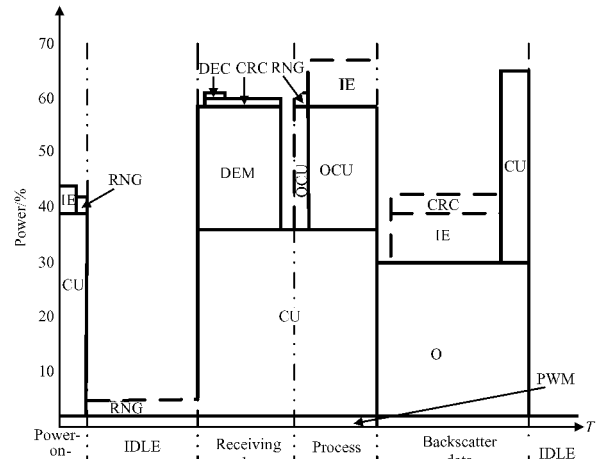


图 4 电源管理机制下各个时段的功耗

Fig.4 Power consumption of each period with power management scheme

标签.如何通过相同的随机数发生器产生不同的 RN16 成为防碰撞机制实现的关键.从随机数发生器的种子和工作时间两方面考虑,本文采用了一种简单有效的机制:标签进入有效场域上电复位时从 EEPROM 中读出 EPC 码的 16 位 CRC 码(标签出厂时预先存储在 EEPROM 中的互异数据),将其作为种子送入随机数发生器;然后电路开始工作,直至标签检测到低电平信号(读写器开始向标签发送有效信息).该机制在不增加额外硬件开销的情况下,利用种子和工作时间的双重随机性,最大程度地保证了所产生随机数的互异性.此外,由于该机制工作的上电复位时段和信号检测时段,大部分模块都不工作(见图 2(b)),从而避开了基带处理器瞬时功耗的高峰期,降低了瞬时功耗的最大值.

3.3 一种应用于变长指令的新型分步式译码电路

协议中读写器串行指令长度在 2~8 位之间变化,若采用传统的 8-64 译码电路,对小于 8 位的指令译码时,电路内部节点的冗余翻转会导致瞬时功耗的增加,并且浪费大量的硬件资源.针对指令的编码格式,本文设计了一种新的译码电路——分步式译码电路.该电路分三步对指令进行译码,如图 5 所示(圆圈表示已经译出一条指令,方框表示一个 2 输入的选择器).首先对串行输入数据的前 2 位进行解析,若符合某条 2 位指令的条件,就结束此次译码;反之,再根据前 2 位数据的具体情况选择相应的数据位(第 3,4 位或第 5,6 位)进行解析,以此类推,直至解析出该指令为止.可见,与传统电路相比,该电路既提高了译码速度,又减少了电路面积,还消除了冗余瞬时功耗.

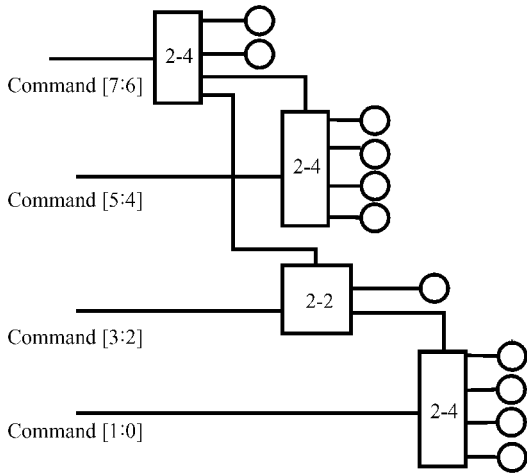


图 5 分布式指令译码电路

Fig.5 Partially command decoder

3.4 接收/发送时的流水线结构

以编码发送为例，通常操作是^[10]：先从 EEPROM 中读出所有需要发送的数据，存入一组寄存器，然后逐位送到 CRC 模块生成 CRC 码，再进行编码调制发送。该机制不仅需要占用一组数目不小的寄存器组，而且耗时较长。针对该问题，在接收解码和编码发送的过程中本文灵活采用了流水线结构，如图 6 所示，对需要发送的数据逐位采用三级流水线操作：读取数据、CRC 码生成和数据编码，即需要发送的数据是逐位按时钟节拍依次执行以上操作。接收解码的操作与此类似。两者比较，流水线结构的采用不仅显著缩短了标签的响应时间，提高了工作速度，而且由于只需要一位寄存器作缓存，电路面积大大减小，功耗得到有效降低。

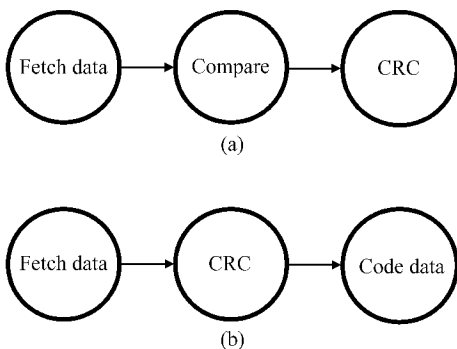


图 6 (a)接收过程的流水线结构；(b)发送过程的流水线结构

Fig.6 (a) Pipe-line for receiving；(b) Pipe-line for transmitting

3.5 降低逻辑深度的低功耗技术

设计中通过采用降低逻辑深度的低功耗技术，平衡各数据通路的延迟，减少冗余节点翻转的发生，进而消除电路的冗余功耗。以加法器为例，图 7 所示。

树状加法器优于链状加法器，这归因于链状加法器逻辑深度较深，各支路延迟不平衡，在得到最终的正确结果之前会发生额外的转换，增加了额外的功耗。

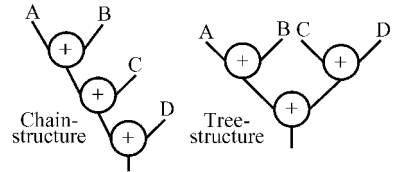


图 7 链状和树状加法器

Fig.7 Adder with chain-structure and tree-structure

此外，在设计中还采用了其他一些低功耗设计方法，例如，采用 $(n - 1)$ 个两输入的与门组成一个步进式的 n 位比较器，利用 Gray-code 编码机制优化状态机转换等，这些技术也在一定程度上降低了电路的功耗。

4 电路实现和验证

基带处理器芯片的设计、验证和实现流程如下：RTL 级电路实现 (Verilog HDL) → 整体功能仿真 (Modelsim 软件仿真验证和 Altera FPGA 平台验证) → 电路综合 (Synopsys 公司的 Design Compiler) → 自动布局布线 (Cadence 公司的 silicon ensemble) → DRC 检查、LVS 验证 (Mentor 公司的 calibre) → 流片 (Chartered 0.35 μ m 1P3M 工艺)。图 8(a) 是基于 Altera FPGA 的功能验证平台，(b) 是芯片照片。电路规模为 7000 门左右，芯片面积

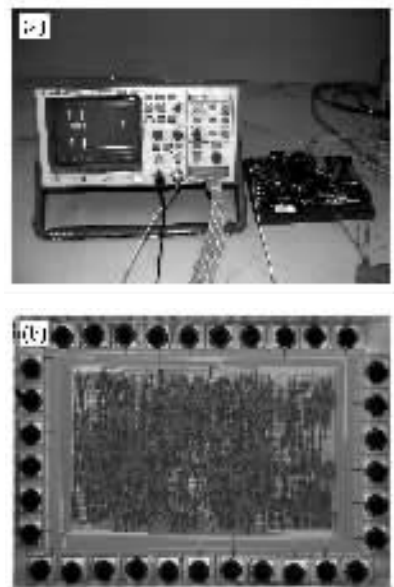


图 8 (a) FPGA 测试平台；(b) 芯片照片

Fig.8 (a) Platform for FPGA verification；(b) Microphotograph of chip

1.1mm×0.8mm,最低工作电压仅为1.5V,平均电流2.1 μ A,功耗3.15 μ W.与文献[8,10~12]相比,

本文的设计功能较全,功耗较低,达到了预期目标(见表1).

表1 性能总结及比较

Table 1 Summary of performance and comparison to others' works

作者	Masui ^[8]	Abrial ^[10]	Usami ^[11]	Fukumizu ^[12]	本文
发表时间	1999年	2001年	2004年	2004年	
工艺	0.8 μ m	0.25 μ m	0.18 μ m	0.18 μ m	0.35 μ m
实现功能	编/解码、指令译码	有	有	有	有
	读/写存储器	有	有	无	有
	防碰撞机制	有	有	无	有
	CRC	无	无	无	有
	其他	无	BIST	无	CDMA时序跳频
功耗	<2mW*	0.8mW	1.5 μ W*	23.4 μ W*	3.15 μ W

*表示整个电子标签芯片的功耗

5 结论

本文设计了一款新颖的超低电压低功耗基带处理器.针对UHF RFID系统中电子标签的功耗要求和协议处理的特点,提出了一种适用于门控时钟电源管理机制的体系结构,该结构在保证电路工作性能不受影响的前提下有效地降低了功耗.在电路设计方面,提出了有效的分步式译码电路和随机数产生机制,并灵活采用了流水线结构、降低逻辑深度等低功耗技术,使功耗进一步降低.芯片采用Chartered 0.35 μ m CMOS标准工艺实现,测试结果表明,芯片总体性能良好,功耗较低,达到了预期目标.

参考文献

- [1] Villard P, Bour C, Dallard E, et al. A low-voltage mixed-mode CMOS/SOI integrated circuit for 13.56MHz RFID applications. IEEE International SOI Conference, 2002, 10: 163
- [2] EPCTM Radio-Frequency Identity protocols Class-1 Generation-2 UHF RFID Protocol for Communications at 860MHz-960MHz
- [3] Glidden R, Bockorick C, Cooper S, et al. Design of ultra-low-cost UHF RFID tags for supply chain applications. IEEE Communications Magazine, 2004, 42(8): 143
- [4] He Yan, Hu Jianyun, Li Qi, et al. Design of low-power baseband-processor for RFID tag. IEEE workshop on International Symposium on Applications and the Internet, 2006: 60
- [5] De Vita G, Iannaccone G. Design criteria for the RF section of UHF and microwave passive RFID transponders. IEEE Trans Microw Theory Tech, 2005, 53(9): 2982

- [6] Howes R, Williams A, Evans M. A read/write RFID tag for low cost applications. IEE Colloquium on RFID Technology, 1999, 10: 4/1
- [7] Karthaus U, Fischer M. Fully integrated passive UHF RFID transponder IC with 16.7- μ W minimum RF input power. IEEE J Solid-State Circuits, 2003, 38(10): 1602
- [8] Masui S, Ishii E, Iwawaki T, et al. A 13.56MHz CMOS RF identification transponder integrated circuit with a dedicated CPU. IEEE International Solid-State Circuits Conference, 1999, 2: 162
- [9] Kessels J, Kramer T, den Besten G, et al. Applying asynchronous circuits in contactless smart cards. International Symposium on Advanced Research in Asynchronous Circuits and Systems Proceedings, 2000, 4: 38
- [10] Abrial A, Bouvier J, Senn P, et al. A new contactless smart-card IC using an on-chip antenna and an asynchronous micro-controller. IEEE J Solid-State Circuits, 2001, 36(7): 1101
- [11] Usami M. An ultra-small RFID chip: μ -chip. IEEE Asia-Pacific Conference on Advanced System Integrated Circuits, 2004, 8: 3
- [12] Fukumizu Y, Nagata M, Ohno S, et al. A design of transponder IC for highly collision resistive RFID system. IEEE Asia-Pacific Conference on Advanced System Integrated Circuits, 2004, 8: 438
- [13] Yu Ying, Zhou Lei, Min Hao. VLSI design and implementation of a low power microcontroller using asynchronous logic. Chinese Journal of Semiconductors, 2001, 22(10): 1346 (in Chinese) [余颖, 周磊, 闵昊. 采用异步电路的低功耗微控制器的VLSI设计与实现. 半导体学报, 2001, 22(10): 1346]
- [14] Furber S B, Day P, Garside J D. The design and evaluation of an asynchronous microprocessor. IEEE International Conference on Computer Design, 1994, 10: 217
- [15] Emmett F, Biegel M. Automotive integrated electronics corporation. Power Reduction Through RTL Clock Gating, 2000

An Ultralow-Voltage, Low-Power Baseband Processor for UHF RFID Tags*

He Yan[†], Hu Jianyun, and Min Hao

(Laboratory of Auto-ID, State Key Laboratory of ASIC and System, Fudan University, Shanghai 201203, China)

Abstract: A novel ultralow-voltage, low-power baseband processor for UHF RFID tags is presented. It is compatible with the “EPC™ Class-1 Generation-2 UHF RFID Protocol” and meets the special requirement of power consumption for passive tags. A new architecture of low-power baseband-processors fit for a power management scheme with a gated clock is proposed. It not only uses a novel scheme for generating pseudo-random numbers and a new partial decoder circuit, but also adopts other low-power technologies, such as a pipeline structure and reduced logic depth. The baseband processor can implement complex functions, including encoding/coding, anti-collision schemes, authorization schemes, and reading/writing operations to EEPROM. The chip is designed and fabricated using a 0.35 μm 1P3M CMOS standard process. The minimum operation voltage is 1.5V, average current is 2.1 μA , and power consumption is 3.15 μW , with a die area of 1.1mm \times 0.8mm.

Key words: RFID; tag; low-power; baseband processor; instantaneous power

EEACC: 1130B; 1265B; 1265F

Article ID: 0253-4177(2006)10-1866-06

* Project supported by the National High Technology Research and Development Program of China(No.2003AA1Z1280)

[†] Corresponding author. Email: yanhe@fudan.edu.cn

Received 5 December 2005, revised manuscript received 29 May 2006

©2006 Chinese Institute of Electronics